

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 12 月 11 日 (11.12.2003)

PCT

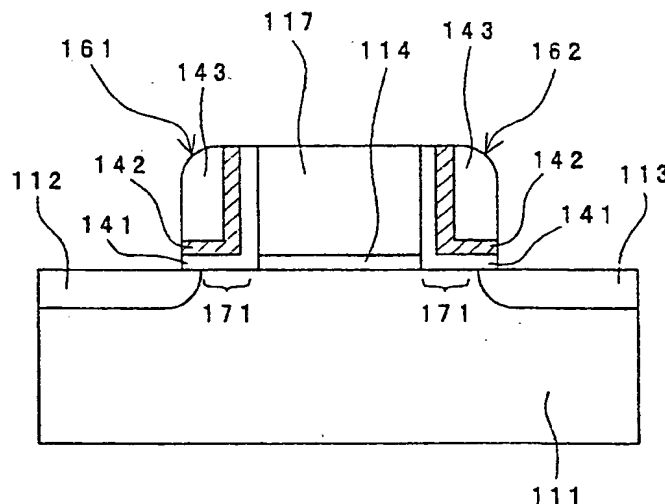
(10) 国際公開番号
WO 03/103058 A1

- (51) 国際特許分類: H01L 29/788, (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒545-8522 大阪府 大阪市 阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
29/792, 27/115, 21/8247, G06K 19/077
- (21) 国際出願番号: PCT/JP03/06730
- (22) 国際出願日: 2003 年 5 月 29 日 (29.05.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-158645 2002 年 5 月 31 日 (31.05.2002) JP
特願2003-97977 2003 年 4 月 1 日 (01.04.2003) JP
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 岩田 浩 (IWATA, Hiroshi) [JP/JP]; 〒636-0813 奈良県 生駒郡 三郷町信貴ヶ丘 2-4-1 3 Nara (JP). 柴田 晃秀 (SHIBATA, Akihide) [JP/JP]; 〒631-0803 奈良県 奈良市 山陵町 1 0 4-B 2 0 3 Nara (JP). 足立 浩一郎 (ADACHI, Kouichirou) [JP/JP]; 〒632-0093 奈良県 天理市 指柳町 2 2 3-7 1 8 Nara (JP).

[続葉有]

(54) Title: IC CARD

(54) 発明の名称: ICカード



(57). Abstract: An IC card comprising a data memory section (503) consisting of a plurality of storage elements. The storage element comprises a semiconductor substrate, a semiconductor film arranged on a well region or an insulator provided in the semiconductor substrate, a gate insulation film formed on the semiconductor film arranged on the semiconductor substrate, the well region provided in the semiconductor substrate, or the insulator, a single gate electrode formed on the gate insulation film, two memory function bodies formed on the opposite sides of the sidewall of the single gate electrode, a channel region arranged beneath the single gate electrode, and diffusion layer regions arranged on the opposite sides of the channel region. A low-cost IC card is provided by mounting a memory employing storage elements which can be scaled down furthermore.

(57) 要約: ICカードは、複数の記憶素子からなるデータメモリ部503を備えている。この記憶素子は、半導体基板、半導体基板内に設けられたウェル領域又は絶縁体上に配置された半導体膜と、半導体基板上、半導体基板内に設けられたウェル領域上又は

[続葉有]



(74) 代理人: 河宮 治, 外(KAWAMIYA, Osamu et al.); 〒540-0001 大阪府 大阪市 中央区 城見 1 丁目 3 番 7 号
IMPビル 青山特許事務所 Osaka (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

絶縁体上に配置された半導体膜上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成された単一のゲート電極と、単一のゲート電極側壁の両側に形成された 2 つのメモリ機能体と、単一のゲート電極下に配置されたチャネル領域と、チャネル領域の両側に配置された拡散層領域とを備えている。これにより、更なる微細化が可能な記憶素子を用いたメモリを搭載することにより、低コストな IC カードを提供する。

明 細 書

I Cカード

5 技術分野

本発明は、I Cカードに関する。より詳細には、電荷量又は分極の変化を電流量に変換する機能を有する電界効果トランジスタからなる記憶素子を備えたI Cカードに関する。

10 背景技術

従来技術であるI Cカードの構成を図24に示す。I Cカード9内には、MP U (Micro Processing Unit: 超小型演算処理装置) 部901、コネクタ部902及びデータメモリ部903が内蔵されている。MP U部901内には、演算部904、制御部905、ROM (Read Only Memory: 読み出し専用メモリ) 906及びRAM (Random Access Memory: ランダム・アクセス・メモリ) 907があり、これらが1つのチップに形成されている。上記各部は、配線908 (データバス、電源線等を含む) で接続されている。また、コネクタ部902と外部のリーダライタ909は、I Cカード9がリーダライタ909に装着されたときに接続され、カードに電力が供給されるとともにデータの交換が行なわれる。

20 データメモリ部903は、書換え可能な記憶素子からなり、一般的にはEEPROM (Electrically Erasable Programmable ROM: 電氣的に消去可能な読み出し専用メモリ) が用いられることが多い。一方、ROM906は一般的にマスクROMが用いられていることが多く、主としてMP Uを駆動するためのプログラムが格納されている。

25 I Cカードは、キャッシュカード、クレジットカード、個人情報カード、プリペイドカードなど極めて多くの応用が可能であるが、より広範な普及のためのキーポイントの1つは、更なる低コスト化である。I Cカードを構成する部品の中でも、メモリ部の低コスト化は重要な課題となっている。

発明の開示

本発明は上記課題に鑑みなされたものであり、更なる微細化が可能な記憶素子を用いたメモリを搭載することにより、低コストなＩＣカードを提供することを目的とする。

5 上記課題を解決するため、本発明のＩＣカードは、
 複数の記憶素子を有するデータメモリ部を備えたＩＣカードであって、
 上記記憶素子は、
 半導体基板、半導体基板内に設けられたウェル領域又は絶縁体上に配置された半導体膜と、

10 上記半導体基板上、半導体基板内に設けられたウェル領域上又は絶縁体上に配置された半導体膜上に形成されたゲート絶縁膜と、

 上記ゲート絶縁膜上に形成された単一のゲート電極と、
 上記単一のゲート電極側壁の両側に形成された２つのメモリ機能体と、
 上記単一のゲート電極下に配置されたチャネル領域と、

15 上記チャネル領域の両側に配置された拡散層領域とを備え、
 上記メモリ機能体に保持された電荷の多寡若しくは分極ベクトルにより、上記ゲート電極に電圧を印加した際の上記一方の拡散層領域から他方の拡散層領域に流れる電流量を変化させるように構成されてなることを特徴としている。

 上記構成のＩＣカードによれば、上記データメモリ部が有する上記記憶素子は、
20 メモリ機能体がゲート絶縁膜と独立して形成され、ゲート電極の両側に形成されている。そのため、各メモリ機能体はゲート電極により分離されているので書き換え時の干渉が効果的に抑制される。また、メモリ機能体が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とは分離されているので、ゲート絶縁膜厚を薄膜化して短チャネル効果を抑制することができる。したがって記憶素子の微細化が容易となる。

25 上記記憶素子は微細化が容易であり、複数の上記記憶素子を有する上記データメモリ部の面積を縮小することができる。それゆえ、上記データメモリ部のコストを削減することができる。したがって、上記データメモリ部を備えたＩＣカードのコストが削減される。

一実施形態では、上記 IC カードは論理演算部を備えている。したがって、上記 IC カードに、単なる記憶機能にとどまらず、様々な機能を与えることが可能となる。

5 一実施形態では、上記 IC カードは、外部の機器との通信手段と、外部から照射された電磁波を電力に変換する集電手段とを備えているので、外部の機器と電氣的に接続するための端子を備える必要がない。したがって、上記端子を通じた静電破壊を防止することができる。また、外部の機器と必ずしも密着する必要がないので、使用形態の自由度が大きくなる。更には、上記データメモリ部を構成する上記記憶素子は、比較的低い電源電圧で動作するので、上記集電手段の回路を小型化し、コストを削減することができる。

10 一実施形態では、上記データメモリ部と上記論理演算部は 1 つのチップ上に形成されていることを特徴としている。

上記実施形態の構成によって、IC カードに内蔵されるチップの数が減少してコストが削減される。更には、上記データメモリ部を構成する上記記憶素子を形成するプロセスと、上記論理演算部を構成する素子を形成するプロセスとは非常に似ているから、両素子の混載が特に容易である。したがって、上記論理演算部と上記データメモリ部を 1 つのチップ上に形成することによるコスト削減効果を特に大きくすることができる。

15 一実施形態では、上記論理演算部は、上記論理演算部の動作を規定するプログラムを記憶する記憶手段を備え、上記記憶手段は外部から書き換え可能であり、上記記憶手段は、上記データメモリ部の記憶素子と同じ構成を有する記憶素子を備えことを特徴としている。

20 上記実施形態によれば、上記記憶手段は外部から書き換え可能であるから、必要に応じて上記プログラムを書き換えることにより、IC カードの機能を飛躍的に高くすることができる。上記記憶素子は微細化が容易であるから、例えばマスク ROM を上記記憶素子で置き換えてもチップ面積の増大を最小限にとどめることができる。更には、上記記憶素子を形成するプロセスと、上記論理演算部を構成する素子を形成するプロセスとは非常に似ているから、両素子の混載が容易で、コスト増を最小限に抑えることができる。

一実施形態では、上記記憶素子1つにつき2ビットの情報を記憶させることを特徴としている。

上記実施形態によれば、上記記憶素子は1つにつき2ビットの情報を記憶することが可能であって、その能力を十分に発揮している。それゆえ、1つの素子が1ビットの情報を記憶する場合に比べて、1ビット当りの素子面積は $1/2$ とな
5 1ビットの情報を記憶する場合に比べて、1ビット当りの素子面積は $1/2$ とな
って、上記データメモリ部又は上記記憶手段の面積を更に小さくすることができる。したがって、ICカードのコストは更に削減される。

一実施形態では、上記メモリ機能体は、第1の絶縁体、第2の絶縁体および第3の絶縁体を有し、上記メモリ機能体は、電荷を蓄積する機能を有する上記第1
10 の絶縁体からなる膜が、上記第2の絶縁体と上記第3の絶縁体とに挟まれた構造を有し、上記第1の絶縁体はシリコン窒化物であり、上記第2及び第3の絶縁体はシリコン酸化物であることを特徴としている。

上記実施形態の構成は、ICカードの動作速度を向上できると共に、信頼性を向上させることが可能となる。

一実施形態では、上記チャネル領域上における上記第2の絶縁体からなる膜の厚さが、上記ゲート絶縁膜の厚さよりも薄く、かつ 0.8 nm 以上であるので、
15 ICカードの電源電圧を低減できる。又は、ICカードの動作速度を向上させることができる。

一実施形態では、上記チャネル領域上における上記第2の絶縁体からなる膜の厚さが、上記ゲート絶縁膜の厚さよりも厚く、かつ 20 nm 以下であるので、上記データメモリ部の記憶容量を大きくして機能を向上させることができる。又は、製造コストを削減することができる。

一実施形態では、上記電荷を蓄積する機能を有する第1の絶縁体からなる膜が、上記ゲート絶縁膜の表面と略平行な表面を有する部分を含むので、ICカードの
25 信頼性を向上させることができる。

一実施形態では、上記電荷を蓄積する機能を有する第1の絶縁体からなる膜が、上記ゲート電極の側面と略並行に延びた部分を含むので、ICカードの動作速度を向上させることができる。

一実施形態では、上記メモリ機能体の少なくとも一部が上記拡散層領域の一部

にオーバーラップするように形成されてなるので、ＩＣカードの動作速度を向上させることができる。

図面の簡単な説明

- 5 図１は本発明の実施の形態１０のＩＣカードを示す構成図である。
- 図２は本発明の実施の形態１０のＩＣカードの一部を構成する記憶素子を、セルアレイ状に配列した例を示す回路図である。
- 図３は本発明の実施の形態１１のＩＣカードを示す構成図である。
- 図４は本発明の実施の形態１２のＩＣカードを示す構成図である。
- 10 図５は本発明の実施の形態１のメモリ素子の要部の概略断面図である。
- 図６は図５の要部の拡大概略断面図である。
- 図７は図５の変形の要部の拡大概略断面図である。
- 図８は本発明の実施の形態１の記憶素子の電気特性を示すグラフである。
- 図９は本発明の実施の形態１の記憶素子の変形の要部の概略断面図である。
- 15 図１０は本発明の実施の形態２の記憶素子の要部の概略断面図である。
- 図１１は本発明の実施の形態３の記憶素子の要部の概略断面図である。
- 図１２は本発明の実施の形態４の記憶素子の要部の概略断面図である。
- 図１３は本発明の実施の形態５の記憶素子の要部の概略断面図である。
- 図１４は本発明の実施の形態６の記憶素子の要部の概略断面図である。
- 20 図１５は本発明の実施の形態７の記憶素子の要部の概略断面図である。
- 図１６は本発明の記憶素子の書込み動作を説明するための図である。
- 図１７は本発明の記憶素子の書込み動作を説明するための図である。
- 図１８は本発明の記憶素子の第１の消去動作を説明するための図である。
- 図１９は本発明の記憶素子の第２の消去動作を説明するための図である。
- 25 図２０は本発明の記憶素子の読出し動作を説明するための図である。
- 図２１は本発明の記憶素子の電気特性を示すグラフである。
- 図２２は従来技術であるＥＥＰＲＯＭの電気特性を示すグラフである。
- 図２３は標準ロジック部を構成するトランジスタを示す概略断面図である。
- 図２４は従来技術のＩＣカードを示す構成図である。

発明を実施するための最良の形態

まず、本発明のＩＣカードに用いられる記憶素子について、以下にその概略を説明する。

- 5 本発明の記憶素子は、主として、ゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、ゲート電極の両側に形成されたメモリ機能体と、メモリ機能体のゲート電極と反対側のそれぞれに配置されたソース／ドレイン領域（拡散層領域）と、ゲート電極下に配置されたチャネル領域とから構成される。

- 10 この記憶素子は、１つのメモリ機能体に２値又はそれ以上の情報を記憶することにより、４値又はそれ以上の情報を記憶する記憶素子として機能する。しかしながら、この記憶素子は、必ずしも４値又はそれ以上の情報を記憶して機能させる必要はなく、例えば、２値の情報を記憶して機能させてもよい。

本発明の記憶素子は、半導体基板上、好ましくは半導体基板内に形成された第１導電型のウェル領域上に形成されることが好ましい。

- 15 半導体基板としては、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体、GaAs、InGaAs、ZnSe等の化合物半導体による基板、SOI基板又は多層SOI基板等の種々の基板、を用いることができる。ガラスやプラスチック基板上に半導体層を有するものを用いてもよい。なかでもシリコン基板又は表面半導体層としてシリコン層が形成されたSOI基板が好ましい。半導体基板又は半導体層は、
20 内部を流れる電流量に多少が生ずるが、単結晶（例えば、エピタキシャル成長による）、多結晶又はアモルファスのいずれであってもよい。

- 25 この半導体基板上又は半導体層上には、素子分離領域が形成されていることが好ましく、更にトランジスタ、キャパシタ、抵抗等の素子、これらによる回路、半導体装置や層間絶縁膜が組み合わせられて、シングル又はマルチレイヤー構造で形成されていてもよい。なお、素子分離領域は、LOCOS（シリコン局所酸化）膜、トレンチ酸化膜、STI膜等種々の素子分離膜により形成することができる。半導体基板は、P型又はN型の導電性を有していてもよく、半導体基板には、少なくとも１つの第１導電型（P型又はN型）のウェル領域が形成されてい

ることが好ましい。半導体基板及びウェル領域の不純物濃度は、当該分野で公知の範囲のものが使用できる。なお、半導体基板としてSOI基板を用いる場合には、表面半導体層には、ウェル領域が形成されていてもよいが、チャネル領域下にボディ領域を有していてもよい。

5 ゲート絶縁膜は、通常、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン酸化膜、シリコン窒化膜等の絶縁膜；酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜、酸化ハフニウム膜などの高誘電体膜の単層膜又は積層膜を使用することができる。なかでも、シリコン酸化膜が好ましい。ゲート絶縁膜は、例えば、1～20nm程度、好ましく1～6nm
10 程度の膜厚とすることが適当である。ゲート絶縁膜は、ゲート電極直下에만形成されていてもよいし、ゲート電極よりも大きく（幅広）で形成されていてもよい。

ゲート電極は、ゲート絶縁膜上に、通常半導体装置に使用されるような形状で形成されている。ゲート電極は、実施の形態のなかで特に指定がない限り、特に
15 限定されるものではなく、導電膜、例えば、ポリシリコン：銅、アルミニウム等の金属：タングステン、チタン、タンタル等の高融点金属：高融点金属とのシリサイド等の単層膜又は積層膜等が挙げられる。ゲート電極の膜厚は、例えば50～400nm程度の膜厚で形成することが適当である。なお、ゲート電極の下には、チャネル領域が形成されるが、チャネル領域は、ゲート電極下のみならず、
20 ゲート電極とゲート長方向におけるゲート端の外側を含む領域下に形成されることが好ましい。このように、ゲート電極で覆われていないチャネル領域が存在する場合には、そのチャネル領域は、ゲート絶縁膜又は後述するメモリ機能体で覆われていることが好ましい。

メモリ機能体は、少なくとも、電荷を保持するか、電荷を蓄え、保持する機能を有するか、電荷をトラップする機能を有する膜又は領域を含んで構成される。
25 これらの機能を果たすものとしては、シリコン窒化物；シリコン；リン、ボロン等の不純物を含むシリケートガラス；シリコンカーバイド；アルミナ；ハフニウムオキシド、ジルコニウムオキシド、タンタルオキシド等の高誘電体；酸化亜鉛；金属等が挙げられる。メモリ機能体は、例えば、シリコン窒化膜を含む

絶縁体膜；導電膜もしくは半導体層を内部に含む絶縁体膜；導電体もしくは半導体ドットを1つ以上含む絶縁体膜等の単層又は積層構造によって形成することができる。なかでも、シリコン窒化膜は、電荷をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができ、また、電荷保持時間が長く、リークパスの発生による電荷漏れの問題が生じないため保持特性が良好であり、さらに、LSI（大規模集積回路）プロセスではごく標準的に用いられる材料であるため、好ましい。

シリコン窒化膜などの電荷保持機能を有する絶縁膜を内部に含む絶縁膜をメモリ機能体として用いることにより、記憶保持に関する信頼性を高めることができる。シリコン窒化膜は絶縁体であるから、その一部に電荷のリークが生じた場合でも、直ちにシリコン窒化膜全体の電荷が失われることがないからである。更には、複数の記憶素子を配列する場合、記憶素子間の距離が縮まって隣接するメモリ機能体が接触しても、メモリ機能体が導電体からなる場合のように夫々のメモリ機能体に記憶された情報が失われることがない。また、コンタクトプラグをよりメモリ機能体と接近して配置することができ、場合によってはメモリ機能体と重なるように配置することができるので、記憶素子の微細化が容易となる。

さらに記憶保持に関する信頼性を高めるためには、電荷を保持する機能を有する絶縁膜は、必ずしも膜状である必要はなく、電荷を保持する機能を有する絶縁体が絶縁膜に離散的に存在することが好ましい。具体的には、電荷を保持しにくい材料、例えば、シリコン酸化物中にドット状に分散していることが好ましい。

また、導電膜もしくは半導体層を内部に含む絶縁体膜をメモリ機能体として用いることにより、導電体もしくは半導体中への電荷の注入量を自由に制御できるため、多値化しやすい効果がある。

さらに、導電体もしくは半導体ドットを1つ以上含む絶縁体膜をメモリ機能体として用いることにより、電荷の直接トンネリングによる書込・消去が行ないやすくなり、低消費電力化の効果がある。

つまり、メモリ機能体は、電荷を逃げにくくする領域又は電荷を逃げにくくする機能を有する膜をさらに含むことが好ましい。電荷を逃げにくくする機能を果たすものとしては、シリコン酸化膜等が挙げられる。

メモリ機能体は、直接又は絶縁膜を介してゲート電極の両側に形成されており、また、直接、ゲート絶縁膜又は絶縁膜を介して半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）上に配置している。ゲート電極の両側の電荷保持膜は、直接又は絶縁膜を介してゲート電極の側壁の全てを覆うように形成されていてもよいし、一部を覆うように形成されてもよい。電荷保持膜として導電膜を用いる場合には、電荷保持膜が半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）又はゲート電極と直接接触しないように、絶縁膜を介して配置させることが好ましい。例えば、導電膜と絶縁膜との積層構造、絶縁膜内に導電膜をドット状等に分散させた構造、ゲートの側壁に形成された側壁絶縁膜内の一部に配置した構造等が挙げられる。

メモリ機能体は、電荷を蓄積する第1の絶縁体からなる膜が、第2の絶縁体からなる膜と第3の絶縁体からなる膜とで挟まれたサンドウィッチ構造を有するのが好ましい。電荷を蓄積する第1の絶縁体が膜状であるから、電荷の注入により短い時間で第1の絶縁体内の電荷密度を上げ、また、電荷密度を均一にすることができる。電荷を蓄積する第1の絶縁体内の電荷分布が不均一であった場合、保持中に第1の絶縁体内を電荷が移動して記憶素子の信頼性が低下する恐れがある。また、電荷を蓄積する第1の絶縁体は、導電体部（ゲート電極、拡散層領域、半導体基板）とは他の絶縁膜で隔てられているので、電荷の漏れが抑制されて十分な保持時間を得ることができる。したがって、上記サンドウィッチ構造を有する場合、記憶素子の高速書換え、信頼性の向上、十分な保持時間の確保が可能となる。上記条件を満たすメモリ機能体としては、上記第1の絶縁体をシリコン窒化膜とし、第2及び第3の絶縁体をシリコン酸化膜とするのが特に好ましい。シリコン窒化膜は、電荷をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができる。また、シリコン酸化膜及びシリコン窒化膜は共にLSIプロセスでごく標準的に用いられる材料であるため、好ましい。また、第1の絶縁体として、窒化シリコンのほかに、酸化ハフニウム、タンタルオキシド、イットリウムオキシドなどを用いることができる。更には、第2及び第3の絶縁体として、酸化シリコンのほかに、酸化アルミニウムなどを用いることができる。なお、上記第2及び第3の絶縁体は、異なる物質であってもよいし同一の物質で

あってもよい。

メモリ機能体は、ゲート電極の両側に形成されており、また、半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）上に配置している。

- 5 メモリ機能体に含まれる電荷保持膜は、直接又は絶縁膜を介してゲート電極の両側に形成されており、また、直接、ゲート絶縁膜又は絶縁膜を介して半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）上に配置している。ゲート電極の両側の電荷保持膜は、直接又は絶縁膜を介してゲート電極の側壁の全て又は一部を覆うように形成されていることが好ましい。応
10 用例としては、ゲート電極が下端部に凹部を有する場合には、直接又は絶縁膜を介して凹部を完全に又は凹部の一部を埋め込むように形成されていてもよい。

- ゲート電極は、メモリ機能体の側壁のみに形成されるか、あるいはメモリ機能体の上部を覆わないことが好ましい。このような配置により、コンタクトプラグをよりゲート電極と接近して配置することができるので、記憶素子の微細化が容
15 易となる。また、このような単純な配置を有する記憶素子は製造が容易であり、歩留まりを向上することができる。

- ソース／ドレイン領域は、半導体基板又はウェル領域と逆導電型の拡散層領域として、メモリ機能体のゲート電極と反対側のそれぞれに配置されている。ソース／ドレイン領域と半導体基板又はウェル領域との接合は、不純物濃度が急峻で
20 あることが好ましい。ホットエレクトロンやホットホールが低電圧で効率良く発生し、より低電圧で高速な動作が可能となるからである。ソース／ドレイン領域の接合深さは、特に限定されるものではなく、得ようとする記憶素子の性能等に応じて、適宜調整することができる。なお、半導体基板としてSOI基板を用いる場合には、ソース／ドレイン領域は、表面半導体層の膜厚よりも小さな接合深
25 さを有していてもよいが、表面半導体層の膜厚とほぼ同程度の接合深さを有していることが好ましい。

 ソース／ドレイン領域は、ゲート電極端とオーバーラップするように配置していてもよいし、ゲート電極端に対してオフセットされて配置されていてもよい。特に、オフセットされている場合には、ゲート電極に電圧を印加したとき、の電

荷保持膜下のオフセット領域の反転しやすさが、メモリ機能体に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果の低減をもたらすため、好ましい。ただし、あまりオフセットしすぎると、ソース・ドレイン間の駆動電流が著しく小さくなるため、ゲート長方向に対して平行方向の電荷保持膜の厚さよりもオフセット量つまり、ゲート長方向における一方のゲート電極端から近い方のソース・ドレイン領域までの距離は短い方が好ましい。特に重要なことは、メモリ機能体中の電荷蓄積領域の少なくとも一部が、拡散層領域であるソース／ドレイン領域の一部とオーバーラップしていることである。本発明のICカードを構成する記憶素子の本質は、メモリ機能体の側壁部にのみ存在するゲート電極とソース／ドレイン領域間の電圧差によりメモリ機能体を横切る電界によって記憶を書き換えることであるためである。ソース・ドレイン間の駆動電流が著しく小さくなる。したがって、オフセット量はメモリ効果と駆動電流の双方が適切な値となるように決定すればよい。

ソース／ドレイン領域は、その一部が、チャネル領域表面、つまり、ゲート絶縁膜下面よりも高い位置に延設されていてもよい。この場合には、半導体基板内に形成されたソース／ドレイン領域上に、このソース／ドレイン領域と一体化した導電膜が積層されて構成されていることが適当である。導電膜としては、例えば、ポリシリコン、アモルファスシリコン等の半導体、シリサイド、上述した金属、高融点金属等が挙げられる。なかでも、ポリシリコンが好ましい。ポリシリコンは、不純物拡散速度が半導体基板に比べて非常に大きいため、半導体基板内におけるソース／ドレイン領域の接合深さを浅くするのが容易で、短チャネル効果の抑制がしやすいためである。なお、この場合には、このソース／ドレイン領域の一部は、ゲート電極とともに、電荷保持膜の少なくとも一部を挟持するように配置することが好ましい。

本発明の記憶素子は、ゲート絶縁膜上に形成された単一のゲート電極、ソース領域、ドレイン領域及び半導体基板を4個の端子として、この4個の端子のそれぞれに所定の電位を与えることにより、書込み、消去、読出しの各動作を行なう。具体的な動作原理及び動作電圧の例は、後述する。本発明の記憶素子をアレイ状に配置してメモリセルアレイを構成した場合、単一の制御ゲートで各メモリセル

を制御できるので、ワード線の本数を少なくすることができる。

本発明の記憶素子は、通常の半導体プロセスによって、例えば、ゲート電極の側壁に積層構造の記憶素子サイドウォールスペーサを形成する方法と同様の方法によって形成することができる。具体的には、ゲート電極を形成した後、絶縁膜（第2の絶縁体）／電荷蓄積膜（第1の絶縁体）／絶縁膜（第2の絶縁体）の積層膜を形成し、適当な条件下でエッチバックしてこれらの膜を記憶素子サイドウォールスペーサ状に残す方法が挙げられる。このほか、所望のメモリ機能体の構造に応じて、適宜サイドウォール形成時の条件や堆積物を選択すればよい。

以下に、本発明のICカードに用いられる記憶素子について、詳細な具体例を示す。

（実施の形態1）

この実施の形態1の記憶素子は、図5に示すように、メモリ機能体161、162が電荷を保持する領域（電荷を蓄える領域であって、電荷を保持する機能を有する膜であってもよい）と、電荷を逃げにくくする領域（電荷を逃げにくくする機能を有する膜であってもよい）とから構成される。例えば、ONO (Oxide Nitride Oxide) 構造を有している。すなわち、第1の絶縁体からなる膜の一例としてのシリコン窒化膜142が、第2の絶縁体からなる膜の一例としてのシリコン酸化膜141と、第3の絶縁体からなる膜の一例としてのシリコン酸化膜143とに挟まれ、メモリ機能体161、162を構成している。ここで、シリコン窒化膜142は電荷を保持する機能を果たす。また、シリコン酸化膜141、143はシリコン窒化膜142中に蓄えられた電荷を逃げにくくする機能を有する膜の役割を果たす。

また、メモリ機能体161、162における電荷を保持する領域（シリコン窒化膜142）は、拡散層領域112、113とそれぞれオーバーラップしている。ここで、オーバーラップするとは、拡散層領域112、113の少なくとも一部の領域上に、電荷を保持する領域（シリコン窒化膜142）の少なくとも一部が存在することを意味する。なお、111は半導体基板、114はゲート絶縁膜、117はゲート電極、171は（ゲート電極と拡散層領域との）オフセット領域である。図示しないが、ゲート絶縁膜114下であって半導体基板111最表面

部はチャネル領域となる。

メモリ機能体161、162における電荷を保持する領域142と拡散層領域112、113とがオーバーラップすることによる効果を説明する。

図6は、図5の右側のメモリ機能体162周辺部の拡大図である。W1はゲート電極114と拡散層領域113とのオフセット量を示す。また、W2はゲート電極のチャネル長方向の切断面におけるメモリ機能体162の幅を示しているが、メモリ機能体162のうちシリコン窒化膜142のゲート電極117と離れた側の端が、ゲート電極117から離れた側のメモリ機能体162の端と一致しているため、メモリ機能体162の幅をW2として定義した。メモリ機能体162と拡散層領域113とのオーバーラップ量は $W2 - W1$ で表される。特に重要なことは、メモリ機能体162のうちシリコン窒化膜142が、拡散層領域113とオーバーラップする、つまり、 $W2 > W1$ なる関係を満たすことである。

なお、図7に示すように、メモリ機能体162aのうちシリコン窒化膜142aのゲート電極と離れた側の端が、ゲート電極から離れた側のメモリ機能体162aの端と一致していない場合は、W2をゲート電極端からシリコン窒化膜142aのゲート電極と遠い側の端までと定義すればよい。

図8は、図6の構造において、メモリ機能体162の幅W2を100nmに固定し、オフセット量W1を変化させたときのドレイン電流 I_d を示している。ここで、ドレイン電流 I_d は、メモリ機能体162を消去状態（正孔が蓄積されている）とし、拡散層領域112、113をそれぞれソース領域、ドレイン領域として、デバイスシミュレーションにより求めた。

図8から明らかなように、W1が100nm以上（すなわち、シリコン窒化膜142と拡散層領域113とがオーバーラップしない）では、ドレイン電流 I_d が急速に減少している。ドレイン電流値は、読出し動作速度にほぼ比例するので、W1が100nm以上ではメモリの性能は急速に劣化する。一方、シリコン窒化膜142と拡散層領域113とがオーバーラップする範囲においては、ドレイン電流の減少は緩やかである。したがって、電荷を保持する機能を有する膜であるシリコン窒化膜142の少なくとも一部とソース／ドレイン領域とがオーバーラップすることが好ましい。

上述したデバイスシミュレーションの結果を踏まえて、W2を100 nm固定とし、W1を設計値として60 nm及び100 nmとして、メモリセルアレイを作製した。W1が60 nmの場合、シリコン窒化膜142と拡散層領域112、113とは設計値として40 nmオーバーラップし、W1が100 nmの場合、設計値としてオーバーラップしない。これらのメモリセルアレイの読出し時間を測定した結果、ばらつきを考慮したワーストケースで比較して、W1を設計値として60 nmとした場合の方が、読出しアクセス時間で100倍高速であった。実用上、読み出しアクセス時間は1ビットあたり100ナノ秒以下であることが好ましいが、W1=W2では、この条件を到底達成できないことが分かった。また、製造ばらつきまで考慮した場合、 $W2 - W1 > 10 \text{ nm}$ であることがより好ましいことが判明した。

メモリ機能体161に記憶された情報の読み出しは、上記デバイスシミュレーションと同様に、拡散層領域112をソース領域とし、拡散層領域113をドレイン領域としてチャネル領域中のドレイン領域に近い側にピンチオフ点を形成するのが好ましい。すなわち、2つのメモリ機能体161、162のうちの一方に記憶された情報を読み出す時に、ピンチオフ点をチャネル領域内であって、2つのメモリ機能体161、162のうちの他方に近い領域に形成させるのが好ましい。これにより、例えば、メモリ機能体162の記憶状況の如何にかかわらず、メモリ機能体161の記憶情報を感度よく検出することができ、2ビット動作を可能にする大きな要因となる。

一方、2つのメモリ機能体161、162の一方のみに情報を記憶させる場合、又は、2つのメモリ機能体161、162を同じ記憶状態にして使用する場合に、読出し時に必ずしもピンチオフ点を形成しなくてもよい。

なお、図5には図示していないが、半導体基板111の表面にウェル領域（Nチャネル素子の場合はP型ウェル）を形成することが好ましい。ウェル領域を形成することにより、チャネル領域の不純物濃度をメモリ動作（書換え動作及び読出し動作）に最適にしつつ、その他の電気特性（耐圧、接合容量、短チャネル効果）を制御するのが容易になる。

メモリ機能体は、メモリの保持特性を向上させる観点から、電荷を保持する機

能を有する電荷保持膜と、絶縁膜とを含んでいるのが好ましい。この実施の形態では、電荷保持膜として電荷をトラップする準位を有するシリコン窒化膜 1 4 2、絶縁膜として電荷保持膜に蓄積された電荷の散逸を防ぐ働きのあるシリコン酸化膜 1 4 1、1 4 3 を用いている。メモリ機能体が電荷保持膜と絶縁膜とを含むことにより電荷の散逸を防いで保持特性を向上させることができる。さらに、メモリ機能体が電荷保持膜のみで構成される場合に比べて電荷保持膜の体積を適度に小さくすることができる。電荷保持膜の体積を適度に小さくすることにより電荷保持膜内での電荷の移動を制限し、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

また、メモリ機能体は、ゲート絶縁膜表面と略平行に配置される電荷保持膜を含むこと、言い換えると、メモリ機能体における電荷保持膜の上面が、ゲート絶縁膜上面から等しい距離に位置するように配置されることが好ましい。具体的には、図 9 に示したように、メモリ機能体 1 6 2 の電荷保持膜 1 4 2 b が、ゲート絶縁膜 1 1 4 表面と略平行な面を有している。言い換えると、電荷保持膜 1 4 2 b は、ゲート絶縁膜 1 1 4 表面に対応する高さから、均一な高さに形成されることが好ましい。メモリ機能体 1 6 2 中に、ゲート絶縁膜 1 1 4 表面と略平行な電荷保持膜 1 4 2 b があることにより、電荷保持膜 1 4 2 b に蓄積された電荷の多寡によりオフセット領域 1 7 1 での反転層の形成されやすさを効果的に制御することができる。ひいてはメモリ効果を大きくすることができる。また、電荷保持膜 1 4 2 b をゲート絶縁膜 1 1 4 の表面と略平行とすることにより、オフセット量 (W1) がばらついた場合でもメモリ効果の変化を比較的小さく保つことができ、メモリ効果のばらつきを抑制することができる。しかも、電荷保持膜 1 4 2 b 上部方向への電荷の移動が抑制され、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

さらに、メモリ機能体 1 6 2 は、ゲート絶縁膜 1 1 4 の表面と略平行な電荷保持膜 1 4 2 b とチャネル領域 (又はウェル領域) とを隔てる絶縁膜 (例えば、シリコン酸化膜 1 4 4 のうちオフセット領域 1 7 1 上の部分) を含むことが好ましい。この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性の良い記憶素子を得ることができる。

なお、電荷保持膜142bの膜厚を制御すると共に、電荷保持膜142b下の絶縁膜（シリコン酸化膜144のうちオフセット領域171上の部分）の膜厚を一定に制御することにより、半導体基板表面から電荷保持膜142b中に蓄えられる電荷までの距離を概ね一定に保つことが可能となる。つまり、半導体基板表面から電荷保持膜142b中に蓄えられる電荷までの距離を、電荷保持膜142b下の絶縁膜の最小膜厚値から、電荷保持膜142b下の絶縁膜の最大膜厚値と電荷保持膜142bの最大膜厚値との和までの間に制御することができる。これにより、電荷保持膜142bに蓄えられた電荷により発生する電気力線の密度を概ね制御することが可能となり、記憶素子のメモリ効果の大きさばらつきを非常に小さくすることが可能となる。

（実施の形態2）

この実施の形態2は、メモリ機能体162の電荷保持膜142が、図10に示すように、略均一な膜厚を有する。さらに、上記電荷保持膜142は、ゲート絶縁膜114の表面と略平行な表面を有する部分の一例としての第1部181と、ゲート電極117の側面と略平行に延びた部分の一例としての第2部182とを有している。

ゲート電極117に正電圧が印加された場合には、メモリ機能体162中での電気力線は矢印183のように、シリコン窒化膜142を、第1部181と第2部とで2回通過する。なお、ゲート電極117に負電圧が印加された時は電気力線の向きは反対側となる。ここで、シリコン窒化膜142の比誘電率は約6であり、シリコン酸化膜141、143の比誘電率は約4である。したがって、電荷保持膜142が第1部のみからなる場合よりも、電気力線183方向におけるメモリ機能体162の実効的な比誘電率が大きくなり、電気力線の両端での電位差をより小さくすることができる。すなわち、ゲート電極117に印加された電圧の多くの部分が、オフセット領域171における電界を強くするために使われることになる。

書換え動作時に電荷がシリコン窒化膜142に注入されるのは、発生した電荷がオフセット領域171における電界により引き込まれるためである。したがって、電荷保持膜142が第2部182を含むことにより、書換え動作時にメモリ

機能体 162 に注入される電荷が増加し、書換え速度が増大する。

なお、シリコン酸化膜 143 の部分もシリコン窒化膜であった場合、つまり、電荷保持膜がゲート絶縁膜 114 の表面に対応する高さに対して均一でない場合、シリコン窒化膜の上方向への電荷の移動が顕著になって、保持特性が悪化する。

5 電荷保持膜は、シリコン窒化膜に代えて、比誘電率が非常に大きい酸化ハフニウムなどの高誘電体により形成されることがより好ましい。

さらに、メモリ機能体は、ゲート絶縁膜表面と略平行な電荷保持膜とチャネル領域（又はウェル領域）とを隔てる絶縁膜（シリコン酸化膜 141 のうちオフセット領域 171 上の部分）をさらに含むことが好ましい。この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性を向上させることができる。

また、メモリ機能体は、ゲート電極と、ゲート電極側面と略平行な向きに延びた電荷保持膜とを隔てる絶縁膜（シリコン酸化膜 141 のうちゲート電極 117 に接した部分）をさらに含むことが好ましい。この絶縁膜により、ゲート電極から電荷保持膜へ電荷が注入されて電氣的特性が変化することを防止し、記憶素子の信頼性を向上させることができる。

さらに、上記実施の形態 1 と同様に、電荷保持膜 142 下の絶縁膜（シリコン酸化膜 141 のうちオフセット領域 171 上の部分）の膜厚を一定に制御すること、さらにゲート電極側面上に配置する絶縁膜（シリコン酸化膜 141 のうちゲート電極 117 に接した部分）の膜厚を一定に制御することが好ましい。これにより、電荷保持膜 142 に蓄えられた電荷により発生する電気力線の密度を概ね制御することができるとともに、電荷リークを防止することができる。

（実施の形態 3）

この実施の形態 3 は、ゲート電極、メモリ機能体及びソース／ドレイン領域間距離の最適化に関する。

図 11 に示したように、A はチャネル長方向の切断面におけるゲート電極長、B はソース／ドレイン領域間の距離（チャネル長）、C は一方のメモリ機能体の端から他方のメモリ機能体の端までの距離、つまり、チャネル長方向の切断面における一方のメモリ機能体内の電荷を保持する機能を有する膜の端（ゲート電極

と離れている側) から、他方のメモリ機能体内の電荷を保持する機能を有する膜の端 (ゲート電極と離れている側) までの距離を示す。

まず、 $B < C$ であることが好ましい。チャネル領域のうちゲート電極 117 下の部分とソース/ドレイン領域 112、113 との間にはオフセット領域 171 が存する。 $B < C$ により、メモリ機能体 161、162 (シリコン窒化膜 142) に蓄積された電荷により、オフセット領域 171 の全領域において、反転の容易性が効果的に変動する。したがって、メモリ効果が増大し、特に読出し動作の高速化が実現する。

また、ゲート電極 117 とソース/ドレイン領域 112、113 がオフセットしている場合、つまり、 $A < B$ が成立する場合には、ゲート電極 117 に電圧を印加したときのオフセット領域 171 の反転のしやすさがメモリ機能体 161、162 に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果を低減することができる。ただし、メモリ効果が発現する限りにおいては、必ずしも存在する必要はない。オフセット領域 171 がない場合においても、ソース/ドレイン領域 112、113 の不純物濃度が十分に薄ければ、メモリ機能体 161、162 (シリコン窒化膜 142) においてメモリ効果が発現し得る。

したがって、 $A < B < C$ であるのが最も好ましい。

(実施の形態 4)

この実施の形態 4 の記憶素子は、図 12 に示すように、上記実施の形態 1 における半導体基板を SOI (シリコン・オン・インシュレーター) 基板とする以外は、上記実施の形態 1 の構成と実質的に同様の構成を有する。

この記憶素子は、半導体基板 186 上に埋め込み酸化膜 188 が形成され、さらにその上に SOI 層が形成されている。SOI 層内には拡散層領域 112、113 が形成され、それ以外の領域はボディ領域 (半導体層) 187 となっている。

この記憶素子によっても、上記実施の形態 3 の記憶素子と同様の作用効果を奏する。さらに、拡散層領域 112、113 とボディ領域 182 との接合容量を著しく小さくすることができるので、素子の高速化や低消費電力化が可能となる。

(実施の形態 5)

この実施の形態5の記憶素子は、図13に示すように、上記実施の形態1において、N型のソース／ドレイン領域112、113のチャネル側に隣接して、P型高濃度領域191を追加した以外は、実質的に同様の構成を有する。

すなわち、P型高濃度領域191におけるP型を与える不純物（例えばボロン）濃度が、領域192におけるP型を与える不純物濃度より高い。P型高濃度領域191におけるP型の不純物濃度は、例えば、 $5 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度が適当である。また、領域192のP型の不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ とすることができる。

このように、P型高濃度領域191を設けることにより、ソース／ドレイン領域112、113と半導体基板111との接合が、メモリ機能体161、162の直下で急峻となる。そのため、書込み及び消去動作時にホットキャリアが発生し易くなり、書込み動作及び消去動作の電圧を低下させ、あるいは書込み動作及び消去動作を高速にすることが可能となる。さらに、領域192の不純物濃度は比較的薄いので、メモリが消去状態にあるときの閾値が低く、ドレイン電流は大きくなる。そのため、読出し速度が向上する。したがって、書換え電圧が低く又は書換え速度が高速で、かつ、読出し速度が高速な記憶素子を得ることができる。

また、図13において、ソース／ドレイン領域112、113近傍であってメモリ機能体161、162の下（すなわち、ゲート電極の直下ではない）において、P型高濃度領域191を設けることにより、トランジスタ全体としての閾値は著しく上昇する。この上昇の程度は、P型高濃度領域191がゲート電極117の直下にある場合に比べて著しく大きい。メモリ機能体161、162に書込み電荷（トランジスタがNチャネル型の場合は電子）が蓄積した場合は、この差がもっと大きくなる。一方、メモリ機能体に十分な消去電荷（トランジスタがNチャネル型の場合は正孔）が蓄積された場合は、トランジスタ全体としての閾値は、ゲート電極117下のチャネル領域（領域192）の不純物濃度で決まる閾値まで低下する。すなわち、消去時の閾値は、P型高濃度領域191の不純物濃度には依存せず、一方で、書込み時の閾値は非常に大きな影響を受ける。よって、P型高濃度領域191をメモリ機能体の下であってソース／ドレイン領域112、113近傍に配置することにより、書込み時の閾値のみが非常に大きく変

動し、メモリ効果（書込時と消去時での閾値の差）を著しく増大させることができる。

（実施の形態6）

この実施の形態6の記憶素子は、図14に示すように、実施の形態1において、
5 電荷保持膜（シリコン窒化膜142）とチャネル領域又はウェル領域とを隔てる
絶縁膜（シリコン酸化膜141）の厚さ T_1 が、ゲート絶縁膜114の厚さ T_2
よりも薄いこと以外は、実質的に同様の構成を有する。

ゲート絶縁膜114は、メモリの書換え動作時における耐圧の要請から、その
厚さ T_2 には下限値が存在する。しかし、絶縁膜の厚さ T_1 は、耐圧の要請にか
10 かわらず、厚さ T_2 よりも薄くすることが可能である。

本実施の形態6の記憶素子において、上述のように絶縁膜の厚さ T_1 に対する
設計の自由度が高いのは以下の理由による。本実施の形態6の記憶素子において
は、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜は、ゲート電極
117とチャネル領域又はウェル領域とに挟まれていない。そのため、電荷保持
15 膜とチャネル領域又はウェル領域とを隔てる絶縁膜には、ゲート電極117とチ
ャネル領域又はウェル領域との間に働く高電界が直接作用せず、ゲート電極11
7から横方向に広がる比較的弱い電界が作用する。そのため、ゲート絶縁膜11
4に対する耐圧の要請にかかわらず、絶縁膜の厚さ T_1 をゲート絶縁膜114の
厚さ T_2 より薄くすることが可能になるのである。一方、例えば、フラッシュメ
20 モリに代表されるEEPROMにおいては、フローティングゲートとチャネル領
域又はウェル領域とを隔てる絶縁膜は、ゲート電極（コントロールゲート）とチ
ャネル領域又はウェル領域に挟まれているので、ゲート電極からの高電界が直接
作用する。それゆえ、EEPROMにおいては、フローティングゲートとチャネ
ル領域又はウェル領域とを隔てる絶縁膜の厚さが制限され、記憶素子の機能の最
25 適化が阻害されるのである。

以上より明らかなように、本実施の形態6の記憶素子において電荷保持膜とチ
ャネル領域又はウェル領域とを隔てる絶縁膜が、ゲート電極117とチャネル領
域又はウェル領域とに挟まれていないことが、絶縁膜の厚さ T_1 の自由度を高く
する本質的な理由となっている。

絶縁膜の厚さ T_1 を薄くすることにより、メモリ機能体161、162への電荷の注入が容易になり、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にすることが可能となり、また、シリコン窒化膜142に電荷が蓄積された時にチャネル領域又はウェル領域に誘起される電荷量が増えるため、メモリ効果を増大させることができる。

ところで、メモリ機能体161、162中での電気力線は、図10の矢印184で示すように、シリコン窒化膜142を通過しない短いものもある。このような短い電気力線上では比較的電界強度が大きいので、この電気力線に沿った電界は書換え動作時には大きな役割を果たしている。絶縁膜の厚さ T_1 を薄くすることによりシリコン窒化膜142が図の下側に移動し、矢印183で示す電気力線がシリコン窒化膜を通過するようになる。それゆえ、電気力線184に沿ったメモリ機能体161、162中の実効的な比誘電率が大きくなり、電気力線の両端での電位差をより小さくすることができる。したがって、ゲート電極117に印加された電圧の多くの部分が、オフセット領域における電界を強くするために使われ、書込み動作及び消去動作が高速になる。

以上より明らかなように、シリコン酸化膜141の厚さ T_1 とゲート絶縁膜114の厚さ T_2 とについて、 $T_1 < T_2$ とすることにより、メモリの耐圧性能を低下させることなく、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にし、さらにメモリ効果を増大することが可能となる。

なお、絶縁膜の厚さ T_1 は、製造プロセスによる均一性や膜質が一定の水準を維持することが可能であり、かつ保持特性が極端に劣化しない限界となる0.8 nm以上であることが、より好ましい。

具体的には、デザインルールの高い高耐圧が必要とされる液晶ドライバーLSIのような場合、液晶パネルTFET（薄膜トランジスタ）を駆動するために、最大15～18Vの電圧が必要となる。このため、ゲート酸化膜を薄膜化することができない。上記液晶ドライバーLSIに画像調整用として本発明の記憶素子を混載する場合、本発明の記憶素子ではゲート絶縁膜厚とは独立して電荷保持膜（シリコン窒化膜142）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さを最適に設計できる。例えば、ゲート電極長（ワード線幅）250 nmのメモ

リセルに対して、 $T1 = 20 \text{ nm}$ 、 $T2 = 10 \text{ nm}$ で個別に設定でき、書き込み効率の良いメモリセルを実現できている（ $T1$ が通常のロジックトランジスタよりも厚くても短チャネル効果が発生しない理由はゲート電極に対して、ソース・ドレイン領域がオフセットしているためである）。

5 (実施の形態7)

この実施の形態7の記憶素子は、図15に示すように、上記実施の形態1において、電荷保持膜（シリコン窒化膜142）とチャネル領域又はウェル領域とを隔てる絶縁膜（シリコン酸化膜141）の厚さ $T1$ が、ゲート絶縁膜114の厚さ $T2$ よりも厚いこと以外は、実質的に同様の構成を有する。

10 ゲート絶縁膜114の厚さ $T2$ には、素子の短チャネル効果防止の要請から上限値が存在する。しかし、絶縁膜の厚さ $T1$ は、短チャネル効果防止の要請にかかわらず、ゲート絶縁膜114の $T2$ よりも厚くすることが可能である。すなわち、微細化スケールが進んだとき（ゲート絶縁膜114の薄膜化が進行したとき）にゲート絶縁膜厚とは独立して絶縁膜（シリコン酸化膜141）の厚さ $T1$ を最適に設計できるため、メモリ機能体161、162がスケールリングの障害
15 にならないという効果を奏する。

本実施の形態7の記憶素子において、上述のように絶縁膜の厚さ $T1$ に対する設計の自由度が高い理由は、既に述べた通り、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜が、ゲート電極117とチャネル領域又はウェル領域
20 とに挟まれていないことによる。そのため、ゲート絶縁膜114に対する短チャネル効果防止の要請にかかわらず、絶縁膜の厚さ $T1$ をゲート絶縁膜114の厚さ $T2$ より厚くすることが可能になるのである。

ゲート絶縁膜114の $T1$ を厚くすることにより、メモリ機能体161、162に蓄積された電荷が散逸するのを防ぎ、素子の保持特性を改善することが可能
25 となる。

したがって、絶縁膜の厚さ $T1$ とゲート絶縁膜114の厚さ $T2$ とについて、 $T1 > T2$ とすることにより、素子の短チャネル効果を悪化させることなく保持特性を改善することが可能となる。

なお、絶縁膜の厚さ $T1$ は、書換え速度の低下を考慮して、 20 nm 以下であ

ることが好ましい。

具体的には、フラッシュメモリに代表される従来の不揮発性メモリは、選択ゲート電極が書き込み消去ゲート電極を構成し、上記書き込み消去ゲート電極に対応するゲート絶縁膜（フローティングゲートを内包する）が電荷蓄積膜を兼用している。このため、微細化（短チャネル効果抑制のため薄膜化が必須）の要求と、信頼性確保（保持電荷のリーク抑制のため、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜の厚さは7 nm程度以下には薄膜化できない）の要求が相反するため、微細化が困難となる。実際、ITRS（International Technology Roadmap for Semiconductors：国際半導体技術ロードマップ）によれば、物理ゲート長の微細化は0.2ミクロン程度以下に対して目処が立っていない。本発明の記憶素子では、上述したように絶縁膜の厚さT1とゲート絶縁膜114の厚さT2とを個別に設計できることにより、微細化が可能となる。例えば、本発明では、ゲート電極長（ワード線幅）45 nmのメモリセルに対して、T2=4 nm、T1=7 nmで個別に設定し、短チャネル効果の発生しない記憶素子を実現した。ゲート絶縁膜114の厚さT2を通常のロジックトランジスタよりも厚く設定しても短チャネル効果が発生しない理由はゲート電極117に対して、ソース／ドレイン領域112、113がオフセットしているためである。また、本発明の記憶素子は、ゲート電極117に対して、ソース／ドレイン領域112、113がオフセットしているため、通常のロジックトランジスタと比較しても更に微細化を容易にしている。

以上要約すると、メモリ機能体161、162の上部に書込、消去を補助する電極が存在しないため、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜には、書込、消去を補助する電極とチャネル領域又はウェル領域との間に働く高電界が直接作用せず、ゲート電極117から横方向に広がる比較的弱い電界が作用するだけである。そのため、同じ加工世代に対してロジックトランジスタのゲート長と同程度以上に微細化されたゲート長を保有するメモリセルの実現が可能になるのである。

（実施の形態8）

この実施の形態8は、記憶素子の動作方法に関する。

まず、記憶素子の書き込み動作原理を、図16及び図17を用いて説明する。図中、203はゲート絶縁膜、204はゲート電極、WLはワード線、BL1は第1のビット線、BL2は第2のビット線を夫々示している。なお、ここでは、第1のメモリ機能体231a及び第2のメモリ機能体231bが電荷を保持する機能

5 能を有する場合について説明する。

ここで、書き込みとは、記憶素子がNチャネル型である場合にはメモリ機能体231a、231bに電子を注入することを指すこととする。以後、記憶素子はNチャネル型であるとして説明する。

例えば第2のメモリ機能体231bに電子を注入する（書込む）ためには、図16に示すように、第1の拡散層領域207a（N型の導電性を有する）をソース領域に、第2の拡散層領域207b（N型の導電性を有する）をドレイン領域とする。例えば、第1の拡散層領域207a及びP型ウェル領域202に0V、第2の拡散層領域207bに+5V、ゲート電極204に+5Vを印加すればよい。このような電圧条件によれば、反転層226が、第1の拡散層領域207a

10 （ソース領域）から伸びるが、第2の拡散層領域207b（ドレイン領域）に達することなく、ピンチオフ点が発生する。電子は、ピンチオフ点から第2の拡散層領域207b（ドレイン領域）まで高電界により加速され、いわゆるホットエレクトロン（高エネルギーの伝導電子）となる。このホットエレクトロンが第2のメモリ機能体231bに注入されることにより書き込みが行なわれる。なお、第1のメモリ機能体231a近傍では、ホットエレクトロンが発生しないため、書き込みは行なわれない。

15 20

このようにして、第2のメモリ機能体231bに電子を注入して、書き込みを行なうことができる。

一方、第1のメモリ機能体231aに電子を注入する（書込む）ためには、図17に示すように、第2の拡散層領域207bをソース領域に、第1の拡散層領域207aをドレイン領域とする。例えば、第2の拡散層領域207b及びP型ウェル領域202に0V、第1の拡散層領域207aに+5V、ゲート電極204に+5Vを印加すればよい。このように、第2のメモリ機能体231bに電子を注入する場合とは、ソース／ドレイン領域を入れ替えることにより、第1のメ

25

メモリ機能体 231a に電子を注入して、書込みを行なうことができる。

次に、上記記憶素子の消去動作原理を図 18、図 19 及び図 20 で説明する。

第 1 のメモリ機能体 231a に記憶された情報を消去する第 1 の方法では、図 18 に示すように、第 1 の拡散層領域 207a に正電圧（例えば、+5 V）、P 型ウェル領域 202 に 0 V を印加して、第 1 の拡散層領域 207a と P 型ウェル領域 202 との PN 接合に逆方向バイアスをかけ、更にゲート電極 204 に負電圧（例えば、-5 V）を印加すればよい。このとき、上記 PN 接合のうちゲート電極 204 付近では、負電圧が印加されたゲート電極 204 の影響により、特にポテンシャルの勾配が急になる。そのため、バンド間トンネルにより PN 接合の P 型ウェル領域 202 側にホットホール（高エネルギーの正孔）が発生する。このホットホールが負の電位をもつゲート電極 204 方向に引きこまれる結果、第 1 のメモリ機能体 231a にホール注入が行なわれる。このようにして、第 1 のメモリ機能体 231a の消去が行なわれる。このとき第 2 の拡散層領域 207b には 0 V を印加すればよい。

第 2 のメモリ機能体 231b に記憶された情報を消去する場合は、上記において第 1 の拡散層領域 207a と第 2 の拡散層領域 207b との電位を入れ替えばよい。つまり、第 1 の拡散層領域 207a の印加電圧を 0 V、第 2 の拡散層領域 207b の印加電圧を +5 V にすればよい。

第 1 のメモリ機能体 231a に記憶された情報を消去する第 2 の方法では、図 19 に示すように、第 1 の拡散層領域 207a に正電圧（例えば、+4 V）、第 2 の拡散層領域 207b に 0 V、ゲート電極 204 に負電圧（例えば、-4 V）、P 型ウェル領域 202 に正電圧（例えば、+0.8 V）を印加すればよい。この際、P 型ウェル領域 202 と第 2 の拡散層領域 207b との間に順方向電圧が印加され、P 型ウェル領域 202 に電子が注入される。注入された電子は、P 型ウェル領域 202 と第 1 の拡散層領域 207a との PN 接合まで拡散し、そこで強い電界により加速されてホットエレクトロンとなる。このホットエレクトロンは、PN 接合において、電子-ホール対を発生させる。すなわち、P 型ウェル領域 202 と第 2 の拡散層領域 207b との間に順方向電圧を印加することにより、P 型ウェル領域 202 に注入された電子がトリガーとなって、反対側に位置する P

N接合でホットホールが発生する。PN接合で発生したホットホールは負の電位をもつゲート電極204方向に引きこまれる結果、第1のメモリ機能体231aに正孔注入が行なわれる。

この第2の方法によれば、P型ウェル領域202と第1の拡散層領域207aとのPN接合において、バンド間トンネルによりホットホールが発生するに足りない電圧しか印加されない場合においても、第2の拡散層領域207bから注入された電子は、PN接合で電子-正孔対が発生するトリガーとなり、ホットホールを発生させることができる。したがって、消去動作時の電圧を低下させることができる。特に、拡散層領域207a、207bとゲート電極204とがオフセットしている場合は、負の電位が印加されたゲート電極204により上記PN接合が急峻となる効果が少ない。そのため、バンド間トンネルによるホットホールの発生が難しいのであるが、第2の方法はその欠点を補い、低電圧で消去動作を実現することができる。

なお、第1のメモリ機能体231aに記憶された情報を消去する場合、第1の消去方法では、第1の拡散層領域207aに+5Vを印加しなければならなかったが、第2の消去方法では、+4Vで足りた。このように、第2の方法によれば、消去時の電圧を低減することができるので、消費電力が低減され、ホットキャリアによる記憶素子の劣化を抑制することができる。

第1、第2の消去方法の何れによっても、本発明の記憶素子は過消去が起きにくいという特徴を有している。過消去とは、メモリ機能体に蓄積された正孔の量が増大するにつれ、飽和することなく閾値が低下していく現象である。フラッシュメモリを代表とするEEPROMでは大きな問題となっており、特に閾値が負になった場合にメモリセルの選択が不可能になるという致命的な動作不良を生じる。本発明の記憶素子においては、メモリ機能体に大量の正孔が蓄積された場合においても、メモリ機能体下に電子が誘起されるのみで、ゲート絶縁膜下のチャネル領域のポテンシャルにはほとんど影響を与えない。消去時の閾値はゲート絶縁膜下のポテンシャルにより決まるので、過消去が起きにくいのである。

次に、上記記憶素子の読み出し動作原理を、図20を用いて説明する。

第1のメモリ機能体231aに記憶された情報を読み出す場合、図20に示す

ように、第1の拡散層領域207aをソース領域に、第2の拡散層領域207bをドレイン領域とし、トランジスタを飽和領域動作させる。例えば、第1の拡散層領域207a及びP型ウェル領域202に0V、第2の拡散層領域207bに+1.8V、ゲート電極204に+2Vを印加すればよい。この際、第1のメモリ機能体231aに電子が蓄積していない場合には、ドレイン電流が流れやすい。一方、第1のメモリ機能体231aに電子が蓄積している場合は、第1のメモリ機能体231a近傍で反転層が形成されにくいので、ドレイン電流は流れにくい。したがって、ドレイン電流を検出することにより、第1のメモリ機能体231aの記憶情報を読み出すことができる。このとき、第2のメモリ機能体231bにおける電荷蓄積の有無は、ドレイン近傍がピンチオフしているため、ドレイン電流に影響を与えない。

第2のメモリ機能体231bに記憶された情報を読み出す場合、第2の拡散層領域207bをソース領域に、第1の拡散層領域207aをドレイン領域とし、トランジスタを飽和領域動作させる。例えば、第2の拡散層領域207b及びP型ウェル領域202に0V、第1の拡散層領域207aに+1.8V、ゲート電極204に+2Vを印加すればよい。このように、第1のメモリ機能体231aに記憶された情報を読み出す場合とは、ソース/ドレイン領域を入れ替えることにより、第2のメモリ機能体231bに記憶された情報の読出しを行なうことができる。

なお、ゲート電極204で覆われないチャネル領域が残されている場合、ゲート電極204で覆われないチャネル領域においては、メモリ機能体231a、231bの余剰電荷の有無によって反転層が消失又は形成される結果、大きなヒステリシス（閾値の変化）が得られる。ただし、オフセット領域の幅があまり大きいと、ドレイン電流が大きく減少し、読出し速度が大幅に遅くなる。したがって、十分なヒステリシスと読出し速度が得られるように、オフセット領域の幅を決定することが好ましい。

拡散層領域207a、207bがゲート電極204端に達している場合、つまり、拡散層領域207a、207bとゲート電極204とがオーバーラップしている場合であっても、書込み動作によりトランジスタの閾値はほとんど変わらない

かったが、ソース／ドレイン端での寄生抵抗が大きく変わり、ドレイン電流は大きく減少（1桁以上）した。したがって、ドレイン電流の検出により読出しが可能であり、メモリとしての機能を得ることができる。ただし、より大きなメモリヒステリシス効果を必要とする場合、拡散層領域207a、207bとゲート電極204とがオーバーラップしていないほうが好ましい。

以上の動作方法により、1トランジスタ当たり選択的に2ビットの書込み及び消去が可能となる。また、記憶素子のゲート電極204にワード線WLを、第1の拡散層領域207aに第1のビット線BL1を、第2の拡散層領域207bに第2のビット線BL2をそれぞれ接続し、記憶素子を配列することにより、メモリセルアレイを構成することができる。

また、上記動作方法では、ソース領域とドレイン領域とを入れ替えることによって1トランジスタ当たり2ビットの書込み及び消去をさせているが、ソース領域とドレイン領域を固定して1ビットメモリとして動作させてもよい。この場合、ソース／ドレイン領域の一方を共通固定電圧とすることが可能となり、ソース／ドレイン領域に接続されるビット線の本数を半減することができる。

以上の説明から明らかなように、上記記憶素子によれば、メモリ機能体231a、231bはゲート絶縁膜203と独立して形成され、ゲート電極204の両側に形成されている。そのため、2ビット動作が可能である。更には、各メモリ機能体231a、231bはゲート電極204により分離されているので書換え時の干渉が効果的に抑制される。また、メモリ機能体231a、231bはゲート電極204で分離されているので、ゲート絶縁膜203を薄膜化して短チャネル効果を抑制することができる。したがって記憶素子の微細化が容易となる。

（実施の形態9）

この実施の形態9は、記憶素子の書換えを行ったときの電気特性の変化に関する。

図21は、Nチャネル型記憶素子のメモリ機能体中の電荷量が増加したときにおけるドレイン電流 I_d 対ゲート電圧 V_g の特性（実測値）である。なお、図21において、実線は消去状態におけるドレイン電流 I_d とゲート電圧 V_g との関係を示し、点線は書き込み状態におけるドレイン電流 I_d とゲート電圧 V_g との

関係を示している。

図 2 1 から明らかなように、消去状態（図 2 1 中において実線で示す状態）から書込み動作を行った場合、単純に閾値が上昇するのみならず、特にサブスレッシュヨルド領域においてグラフの傾きが顕著に減少している。そのため、ゲート電圧 V_g が比較的高い領域においても、消去状態と書込み状態とでのドレイン電流比が大きくなっている。例えば、 $V_g = 2.5 \text{ V}$ においても、電流比は 2 桁以上を保っている。このような特性は、EEPROM の場合（図 2 2）と大きく異なる。なお、図 2 2 において、実線は消去状態におけるドレイン電流の対数 $\log(I_d)$ とゲート電圧 V_g との関係を示し、点線は書き込み状態におけるドレイン電流の対数 $\log(I_d)$ とゲート電圧 V_g との関係を示している。

このような特性の出現は、ゲート電極と拡散層領域とがオフセットし、ゲート電界がオフセット領域に及びにくいために起こる特有な現象である。記憶素子が書込み状態にあるときには、ゲート電極に正電圧を加えてもメモリ機能体下のオフセット領域には反転層が極めてできにくい状態になっている。これが、図 2 1 の書込み状態においてサブスレッシュヨルド領域での $I_d - V_g$ 曲線の傾きが小さくなる原因となっている。一方、記憶素子が消去状態にあるときには、オフセット領域には高密度の電子が誘起されている。なおかつ、ゲート電極に 0 V が印加されているとき（すなわちオフ状態にあるとき）は、ゲート電極下のチャネルには電子が誘起されない（そのためオフ電流が小さい）。これが、消去状態においてサブスレッシュヨルド領域での $I_d - V_g$ 曲線の傾きが大きく、かつ閾値以上の領域でも電流の増加率（コンダクタンス）が大きい原因となっている。

以上のことから明らかなように、本発明の記憶素子は、書込み時と消去時のドレイン電流比を特に大きくすることができる。

以下に、上記実施の形態 1 ～ 7 に記載した記憶素子を備えた IC カードの実施例を記す。

（実施の形態 10）

本実施の形態 10 の IC カードを、図 1 及び図 2 を用いて説明する。図 1 は、IC カードの構成を示す図である。図 2 は、IC カードに用いられる記憶素子からなるセルをアレイ状にしたときの回路図の例を示している。

図1中、1はICカード、501はMPU部、502はコネクタ部、503はデータメモリ部、504は演算部、505は制御部、506はROM、507はRAM、508は配線、509はリーダライタである。本実施の形態10のICカードは、図24に示した従来のICカードと同様な構成を有しているので、説明は省略する。

本実施の形態10のICカードが図24の従来のICカードと異なるのは、データメモリ部503に、微細化が可能なゆえに製造コストを削減することが可能な記憶素子、つまり実施の形態1～7に記載の記憶素子を用いていることである。

上記記憶素子からなるデータメモリ部と、通常のロジックトランジスタからなる論理演算部とを1つのチップ上に混載する場合は、記憶素子と通常のロジックトランジスタとの混載プロセスが極めて容易なために、本発明のICカードの製造コスト低減効果がさらに大きくなる。上記記憶素子と通常のロジックトランジスタとの混載プロセスの容易性を以下に説明する。

この記憶素子は、通常のロジックトランジスタとは、ほぼ同様の工程を経て形成することができる。一例として、図5に示す記憶素子の形成手順を説明する。まず、公知の手順で、半導体基板111上にゲート絶縁膜114及びゲート電極117を形成する。続いて、半導体基板111上全面に、膜厚0.8～20nm、より好ましくは膜厚3～10nmのシリコン酸化膜を熱酸化法により形成又はCVD (Chemical Vapor Deposition: 化学的気相成長) 法により堆積する。次に、上記シリコン酸化膜上全面に、膜厚2～15nm、より好ましくは3～10nmのシリコン窒化膜をCVD法により堆積する。更に、上記シリコン窒化膜上全面に、20～70nmのシリコン酸化膜をCVD法により堆積する。

続いて、異方性エッチングによりシリコン酸化膜/シリコン窒化膜/シリコン酸化膜をエッチバックすることにより、記憶に最適なメモリ機能体を、ゲート電極の側壁に記憶素子サイドウォールスペーサ状に形成する。

その後、ゲート電極117及びサイドウォールスペーサ状のメモリ機能体をマスクとしてイオン注入することにより、拡散層領域（ソース/ドレイン領域）112、113を形成する。その後、公知の手順でシリサイド工程や上部配線工程

を行なえばよい。

上記手順からわかるように、記憶素子を形成するための手順は、通常の標準ロジックトランジスタ形成プロセスと非常に親和性の高いものとなっている。標準ロジック部を構成するトランジスタは、図23に示す構造が一般的である。図23に示すトランジスタ7は、半導体基板311、ゲート絶縁膜312、ゲート電極313、絶縁膜からなるサイドウォールスペーサ314、ソース領域317、ドレイン領域318、LDD (Lightly Doped Drain : 浅いドレイン) 領域319の構成要素からなっている。上記構成は、上記記憶素子の構成に近い。上記標準ロジック部を構成するトランジスタを上記記憶素子に変更するためには、例えば、上記サイドウォールスペーサ314にメモリ機能体としての機能を付加し、LDD領域319を除去するだけでよい。より具体的には、サイドウォールスペーサ314を、例えば、図5のメモリ機能体161、162と同様な構造に変更すればよい。この際、シリコン酸化膜141、143、シリコン窒化膜142の膜厚構成比は記憶素子が適切な動作をするように選ばばよい。上記標準ロジック部を構成するトランジスタ7の記憶素子サイドウォールスペーサ314の膜構成が図5のメモリ機能体161、162と同様な構造であったとしても、記憶素子サイドウォールスペーサ幅（すなわちシリコン酸化膜141、143とシリコン窒化膜142とのトータル膜厚）が適切であって、書換え動作が起こらない電圧範囲で動作させる限り、トランジスタ性能を損なうことがない。また、上記標準ロジック部を構成するトランジスタと上記記憶素子とを混載させるためには、更に、上記記憶素子部のみLDD構造を形成しない必要がある。LDD構造を形成するためには、上記ゲート電極を形成した後であって上記メモリ機能体（記憶素子サイドウォールスペーサ）を形成する前に、LDD形成のための不純物注入を行なえばよい。したがって、上記LDD形成のための不純物注入を行なう際に、上記記憶素子部のみフォトリソでマスクするだけで、上記記憶素子と上記標準ロジック部を構成するトランジスタとを容易に混載することが可能となる。更に、上記標準ロジック部を構成するトランジスタによってSRAMを構成すれば、不揮発性メモリ、ロジック回路、SRAM（スタティック・ランダム・アクセス・メモリ）を容易に混載することができる。

ところで、上記記憶素子部において上記標準ロジック部よりも高い電圧を印加する必要がある場合、高耐圧ウェル形成用マスク及び高耐圧ゲート絶縁膜形成用マスクを、標準ロジック形成用マスクに追加するだけでよい。ところで、従来のICカードで多用されているEEPROMは、その形成プロセスが標準ロジックプロセスと著しく異なる。それゆえ、EEPROMを不揮発性メモリとして用いてロジック回路と混載した従来の場合に比べて、飛躍的にマスク枚数及びプロセス工数を削減することが可能となる。したがって、ロジック回路と不揮発性メモリとを混載したチップの歩留まりが向上し、コストが削減される。

上記記憶素子によれば、メモリ機能体はゲート絶縁膜と独立して形成され、ゲート電極の両側に形成されている。そのため、2ビット動作が可能である。更には、各メモリ機能体はゲート電極により分離されているので書換え時の干渉が効果的に抑制される。また、メモリ機能体が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とは分離されているので、ゲート絶縁膜厚を薄膜化して短チャネル効果を抑制することができる。したがって記憶素子の微細化が容易となる。

図2は、上記記憶素子を配列して構成したメモリセルアレイの一例の回路図である。図2中、 W_m は m 番目のワード線（したがって、 W_1 は1番目のワード線）、 B_{1n} は n 番目の第1ビット線、 B_{2m} は m 番目の第2ビット線、 M_{mn} は m 番目のワード線（ m 番目の第2ビット線）と n 番目の第1ビット線に接続されたメモリセルをそれぞれあらわしている。メモリセルアレイの配列は上記の例に限らず、第1ビット線と第2ビット線を平行に配置したものや、第2ビット線を全て接続して共通ソース線としたものなどでもよい。

上記記憶素子は微細化が容易であり、かつ2ビット動作が可能であるから、これを配列したメモリセルアレイの面積を縮小するのも容易となる。したがって、メモリセルアレイのコストを削減することができる。このメモリセルアレイをICカードのデータメモリ部503に用いれば、ICカードのコストが削減される。

なお、ROM506を上記記憶素子で構成してもよい。このようにすれば、MPU部501を駆動するためのプログラムが格納されているROM506を外部から書き換えることが可能となり、ICカードの機能を飛躍的に高くすることが

できる。上記記憶素子は微細化が容易で、かつ2ビット動作が可能であるから、マスクROMを上記記憶素子で置き換えてもチップ面積の増大をほとんど招かない。また、上記記憶素子を形成するプロセスは、通常のCMOS形成プロセスとほとんど変わらないので、論理回路部との混載が容易である。

5 本発明のICカードに用いる記憶素子のメモリ機能体は、例えば、図5に示した記憶素子のように、電荷を蓄積する第1の絶縁体からなる膜が、第2の絶縁体からなる膜と第3の絶縁体からなる膜とで挟まれたサンドウィッチ構造を有するのが好ましい。このとき、上記第1の絶縁体とはシリコン窒化物であり、上記第2及び第3の絶縁膜とはシリコン酸化物である場合が特に好ましい。このようなメモリ機能体を有する記憶素子は、高速書換え、高信頼性、十分な保持特性を有している。したがって、このような記憶素子を本発明のICカードに用いれば、ICカードの動作速度を向上し、信頼性を向上させることが可能となる。

10 また、本発明のICカードに用いる記憶素子は、実施の形態6の記憶素子を用いることが好ましい。すなわち、電荷保持膜（シリコン窒化膜142）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さ（T1）が、ゲート絶縁膜の厚さ（T2）よりも薄く、0.8nm以上であることが好ましい。このような記憶素子は、書込み動作及び消去動作が低電圧で行なわれ、又は書込み動作及び消去動作が高速である。更には、記憶素子のメモリ効果が大きい。したがって、このような記憶素子を本発明のICカードに用いれば、ICカードの電源電圧を低くし、
20 又は動作速度を向上させることが可能となる。

25 また、本発明のICカードに用いる記憶素子は、実施の形態7の記憶素子を用いることが好ましい。すなわち、電荷保持膜（シリコン窒化膜142）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さ（T1）が、ゲート絶縁膜の厚さ（T2）よりも厚く、20nm以下であることが好ましい。このような記憶素子は、記憶素子の短チャネル効果を悪化させることなく保持特性を改善することができるから、高集積化しても十分な記憶保持性能を得ることができる。したがって、このような記憶素子を本発明のICカードに用いれば、データメモリ部の記憶容量を大きくして機能を向上させ、又は製造コストを削減することが可能となる。

また、本発明のＩＣカードに用いる記憶素子は、実施の形態１に記述したように、メモリ機能体１６１、１６２における電荷を保持する領域（シリコン窒化膜１４２）は、拡散層領域１１２、１１３とそれぞれオーバーラップするのが好ましい。このような記憶素子は、読出し速度を十分に高速にすることができる。したがって、このような記憶素子を本発明のＩＣカードに用いれば、ＩＣカードの動作速度を向上させることが可能となる。

また、本発明のＩＣカードに用いる記憶素子は、実施の形態１に記述したように、メモリ機能体は、ゲート絶縁膜表面と略平行に配置されるな電荷保持膜を含むことが好ましい。このような記憶素子は、記憶素子のメモリ効果のばらつきを小さくすることができるので、読出し電流ばらつきを抑えることができる。更には、記憶保持中の記憶素子の特性変化を小さくすることができるので記憶保持特性が向上する。したがって、このような記憶素子を本発明のＩＣカードに用いれば、ＩＣカードの信頼性を向上させることができる。

また、本発明のＩＣカードに用いる記憶素子は、実施の形態２に記述したように、メモリ機能体は、ゲート絶縁膜表面と略平行に配置されるな電荷保持膜を含み、かつ、ゲート電極側面と略並行に延びた部分を含むことが好ましい。このような記憶素子は、書換え動作が高速である。したがって、このような記憶素子を本発明のＩＣカードに用いれば、ＩＣカードの動作速度を向上させることが可能となる。

（実施の形態１１）

本実施の形態１１のＩＣカードを、図３を用いて説明する。

図３のＩＣカード２の構成が、ＩＣカード１の構成と異なるのは、ＭＰＵ部５０１とデータメモリ部５０３が１つの半導体チップ上に形成され、データメモリ部を混載するＭＰＵ部５１０を構成している点である。

実施の形態１で既述の通り、データメモリ部５０３を構成する記憶素子は、ＭＰＵ部５１０の論理回路部（演算部５０４及び制御部５０５）を構成する素子と形成プロセスが非常に似ているために、両素子を混載するのが非常に容易である。ＭＰＵ部５１０にデータメモリ部５０３を内蔵し、１つのチップ上に形成すれば、ＩＣカードのコストを大きく低減することができる。このとき、データメモリ部

503に上記記憶素子を用いれば、例えばEEPROMを用いた場合に比べて混載プロセスが著しく簡略化される。したがって、MPU部とデータメモリ部を1つのチップ上に形成することによるコスト削減効果が特に大きくなるのである。

5 なお、実施の形態1の場合と同様に、ROM506を上記記憶素子で構成してもよい。このようにすれば、MPU部510を駆動するためのプログラムが格納されているROM506を外部から書き換えることが可能となり、ICカードの機能を飛躍的に高くすることができる。上記記憶素子は微細化が容易で、かつ2ビット動作が可能であるから、マスクROMを上記記憶素子で置き換えてもチップ面積の増大をほとんど招かない。また、上記記憶素子を形成するプロセスは、
10 通常のCMOS形成プロセスとほとんど変わらないので、論理回路部との混載が容易である。

(実施の形態12)

本実施の形態12のICカードを、図4を用いて説明する。

15 図4のICカード3が、ICカード2と異なるのは、非接触型であるという点である。そのため、制御部505はコネクタ部ではなくRFインターフェース部511と接続されている。RFインターフェース部511は、更に、アンテナ部512に接続されている。アンテナ部512は、外部機器との通信及び集電機能を有する。RFインターフェース部511は、アンテナ部512から伝達した高周波信号を整流し電力を供給する機能と、信号の変調及び復調機能を有する。な
20 お、RFインターフェース部511及びアンテナ部512は、MPU部510と1つのチップ上に混載されていてもよい。

本実施の形態のICカード3は非接触型であるから、コネクタ部を通じた静電破壊を防止することができる。また、外部機器と必ずしも密着する必要がないので、使用形態の自由度が大きくなる。更には、データメモリ部503を構成する
25 記憶素子は、上記実施の形態8で詳しく述べたように、従来のEEPROM（約1.2Vの電源電圧）に比べて低い電源電圧（約9V）で動作するので、RFインターフェース部111の回路を小型化し、コストを削減することができる。

請求の範囲

1. 複数の記憶素子 (M11, ..., Mmn) を有するデータメモリ部 (503) を備えたICカードであって、

5 上記記憶素子 (M11, ..., Mmn) は、

半導体基板 (111)、半導体基板内に設けられたウェル領域 (202) 又は絶縁体 (188) 上に配置された半導体膜 (187) と、

10 上記半導体基板 (111) 上、半導体基板内に設けられたウェル領域 (202) 上又は絶縁体 (188) 上に配置された半導体膜 (187) 上に形成されたゲート絶縁膜 (114, 203) と、

上記ゲート絶縁膜 (114, 203) 上に形成された単一のゲート電極 (117, 204) と、

上記単一のゲート電極 (117, 204) 側壁の両側に形成された2つのメモリ機能体 (161, 162, 162a, 231a, 231b) と、

15 上記単一のゲート電極 (117, 204) 下に配置されたチャネル領域と、

上記チャネル領域の両側に配置された拡散層領域 (112, 113, 207a, 207b) とを備え、

20 上記メモリ機能体 (161, 162, 162a, 231a, 231b) に保持された電荷の多寡若しくは分極ベクトルにより、上記ゲート電極 (117, 204) に電圧を印加した際の上記一方の拡散層領域 (112, 113, 207a, 207b) から他方の拡散層領域 (112, 113, 207a, 207b) に流れる電流量を変化させるように構成されてなることを特徴とするICカード。

2. 請求項1に記載のICカードにおいて、

25 論理演算部 (504) を備えたことを特徴とするICカード。

3. 請求項2に記載のICカードにおいて、

外部の機器 (509) との通信手段 (502, 512) と、

外部から照射された電磁波を電力に変換する集電手段 (511) とを備えたこ

とを特徴とするＩＣカード。

4. 請求項２に記載のＩＣカードにおいて、

上記データメモリ部（５０３）と上記論理演算部（５０４）は１つのチップ上に形成されていることを特徴とするＩＣカード。

5. 請求項２に記載のＩＣカードにおいて、

上記論理演算部（５０４）は、上記論理演算部（５０４）の動作を規定するプログラムを記憶する記憶手段（５０６）を備え、

上記記憶手段（５０６）は外部から書き換え可能であり、

上記記憶手段（５０６）は、上記データメモリ部の記憶素子（ M_{11} , ..., M_{mn} ）と同じ構成を有する記憶素子を備えたことを特徴とするＩＣカード。

6. 請求項１に記載のＩＣカードにおいて、

上記記憶素子（ M_{11} , ..., M_{mn} ）１つにつき２ビットの情報を記憶させることを特徴とするＩＣカード。

7. 請求項１に記載のＩＣカードにおいて、

上記メモリ機能体（１６１, １６２, １６２ａ, ２３１ａ, ２３１ｂ）は、第１の絶縁体、第２の絶縁体および第３の絶縁体を有し、

上記メモリ機能体（１６１, １６２, １６２ａ, ２３１ａ, ２３１ｂ）は、電荷を蓄積する機能を有する上記第１の絶縁体からなる膜（１４２, １４２ａ, １４２ｂ）が、上記第２の絶縁体と上記第３の絶縁体とに挟まれた構造を有し、

上記第１の絶縁体はシリコン窒化物であり、

上記第２及び第３の絶縁体はシリコン酸化物であることを特徴とするＩＣカード。

8. 請求項７に記載のＩＣカードにおいて、

上記チャネル領域上における上記第２の絶縁体からなる膜（１４１）の厚さ

(T1) が、上記ゲート絶縁膜(114, 203)の厚さ(T2)よりも薄く、かつ0.8nm以上であることを特徴とするICカード。

9. 請求項7に記載のICカードにおいて、

- 5 上記チャネル領域上における上記第2の絶縁体からなる膜(141)の厚さ(T1)が、上記ゲート絶縁膜(114, 203)の厚さ(T2)よりも厚く、かつ20nm以下であることを特徴とするICカード。

10. 請求項7に記載のICカードにおいて、

- 10 上記電荷を蓄積する機能を有する第1の絶縁体からなる膜(142, 142a, 142b)が、上記ゲート絶縁膜(114, 203)の表面と略平行な表面を有する部分(181)を含むことを特徴とするICカード。

11. 請求項10に記載のICカードにおいて、

- 15 上記電荷を蓄積する機能を有する第1の絶縁体からなる膜(142, 142a, 142b)が、上記ゲート電極(117, 204)の側面と略並行に延びた部分(182)を含むことを特徴とするICカード。

12. 請求項1に記載のICカードにおいて、

- 20 上記メモリ機能体(161, 162, 162a, 231a, 231b)の少なくとも一部が上記拡散層領域の一部にオーバーラップするように形成されてなることを特徴とするICカード。

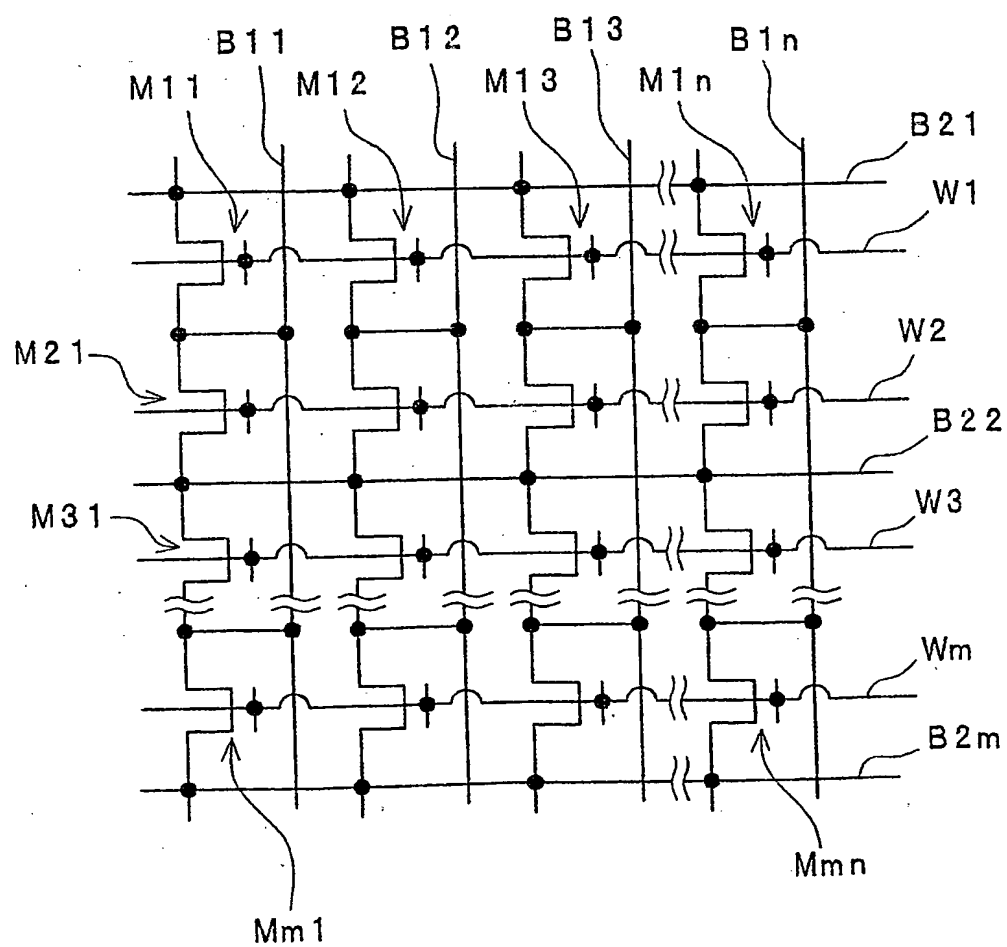
Fig. 2

Fig. 3

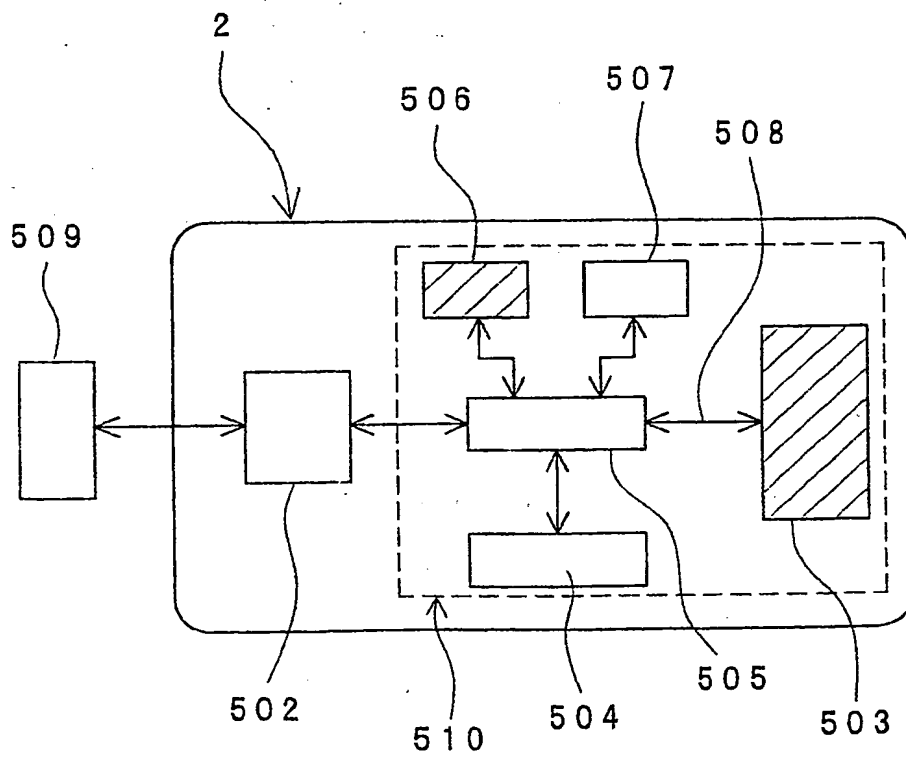


Fig. 4

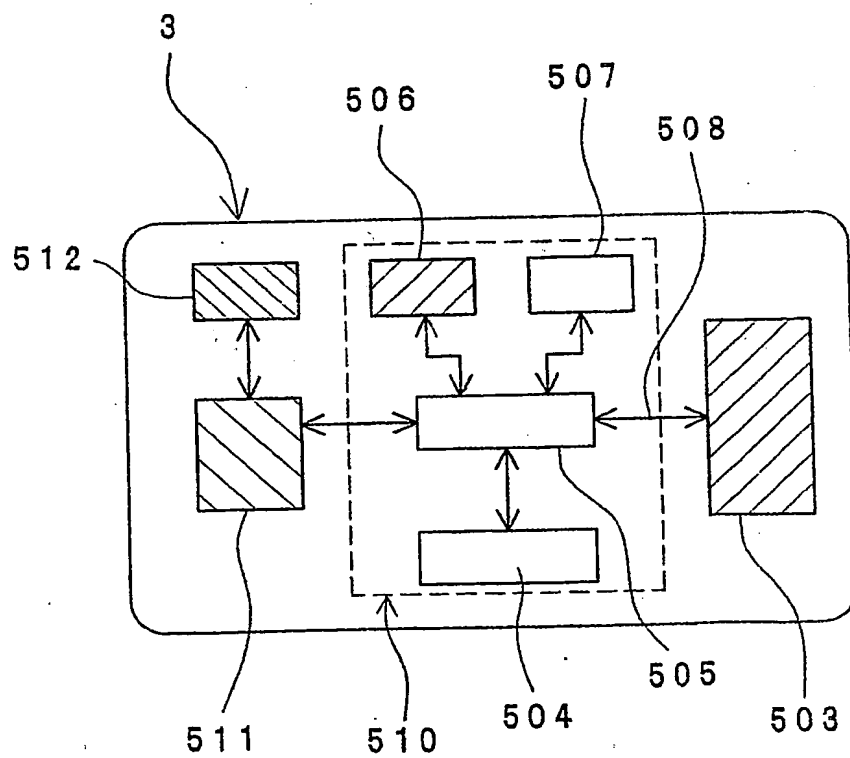


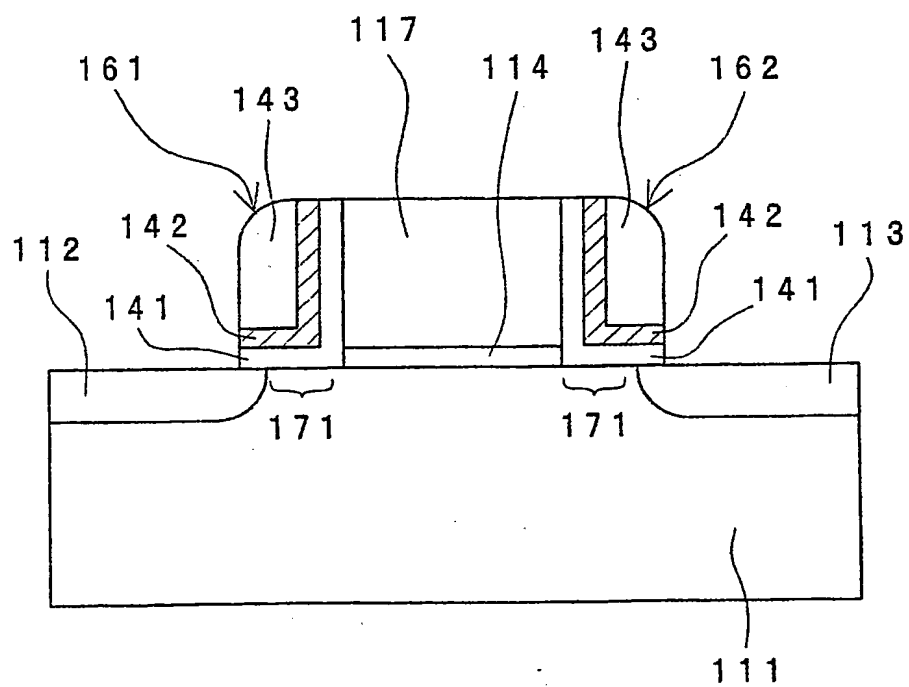
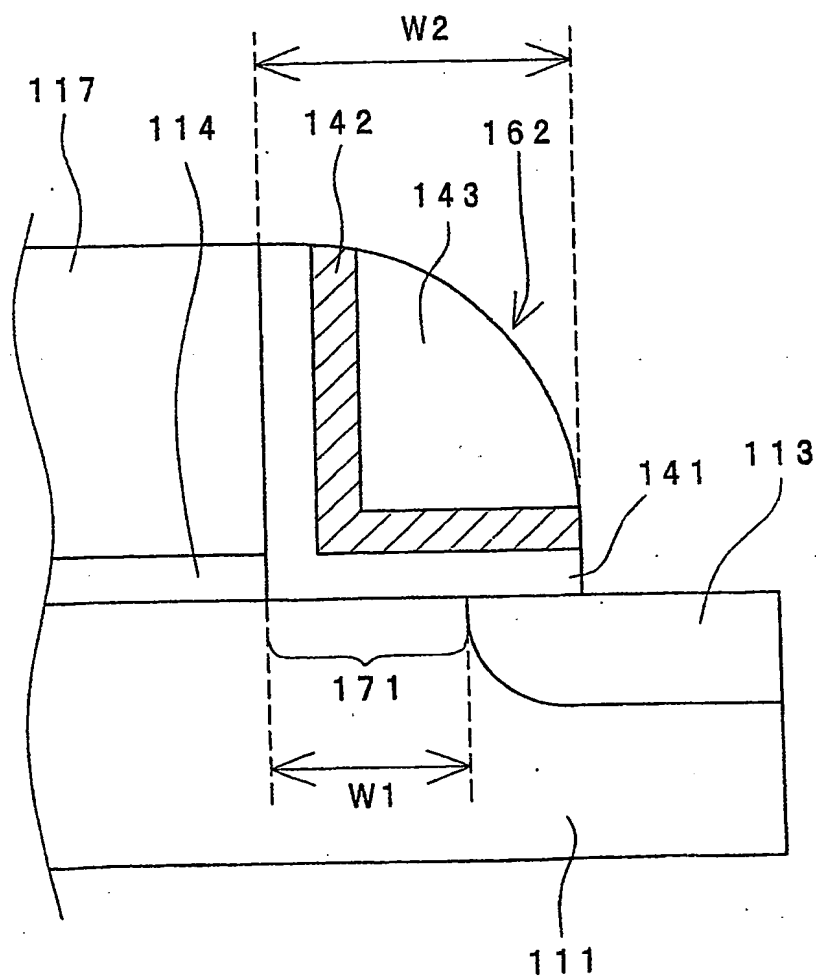
Fig. 5

Fig. 6



8/21

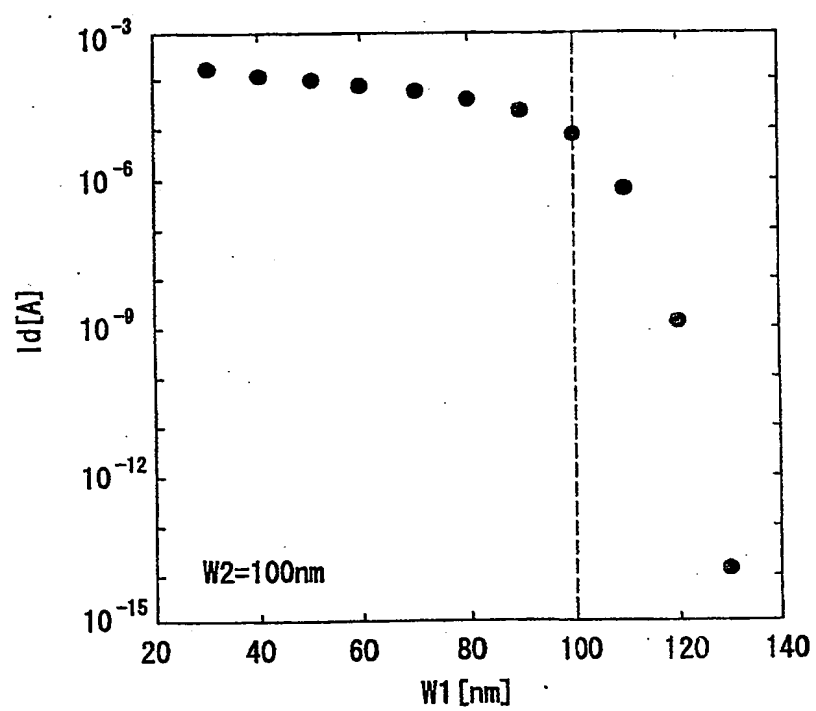
Fig. 8

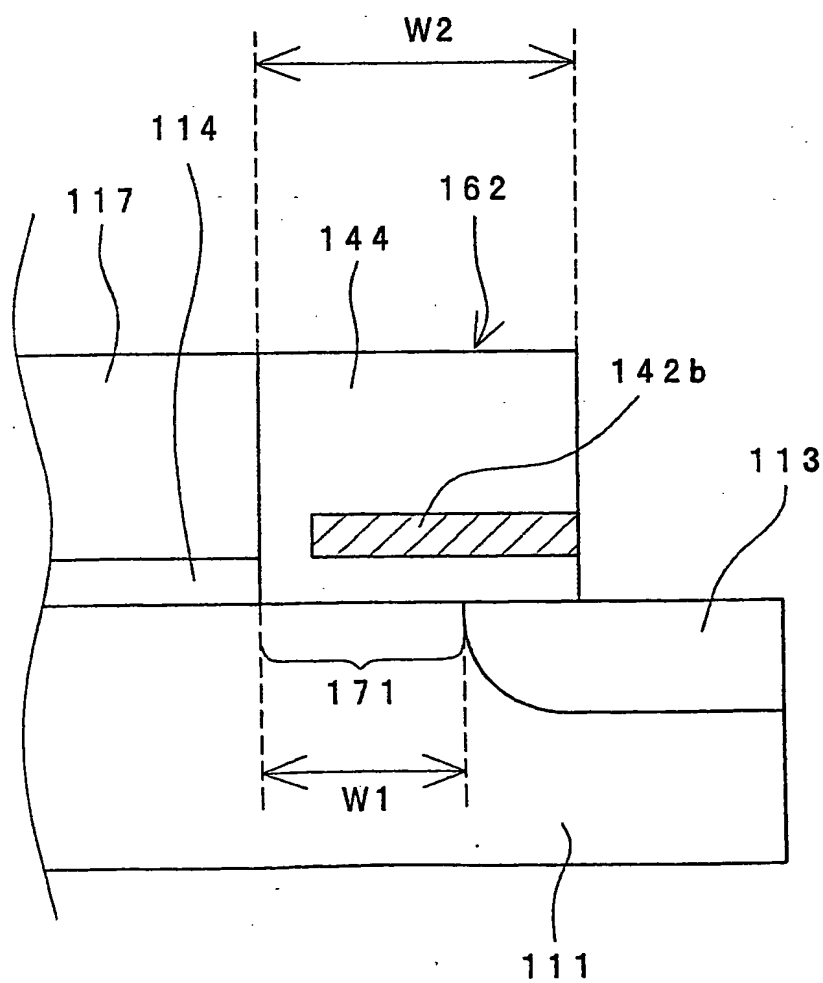
Fig. 9

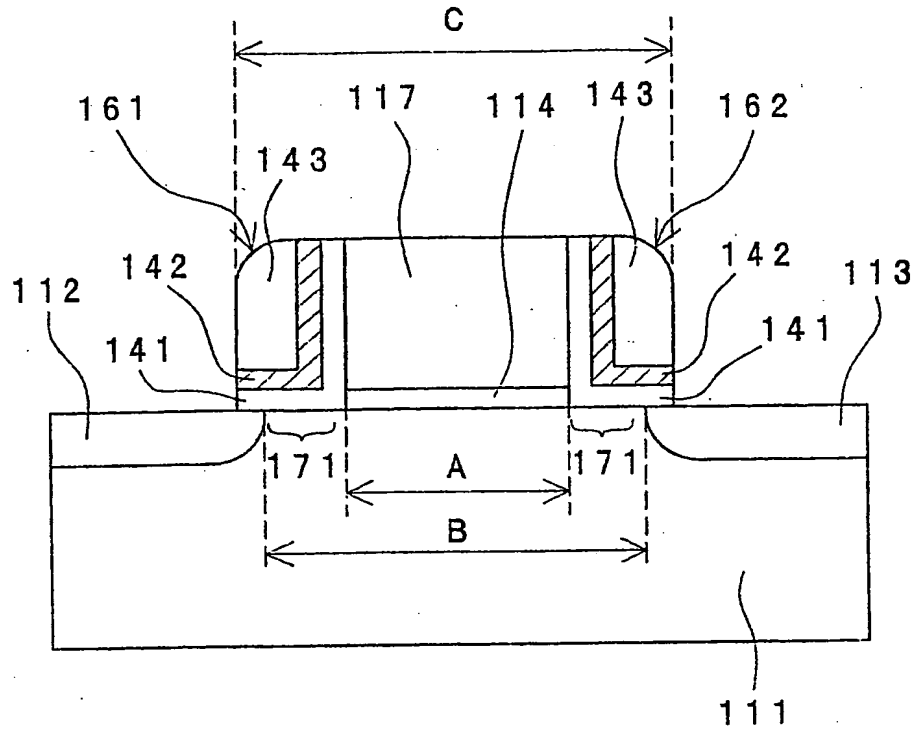
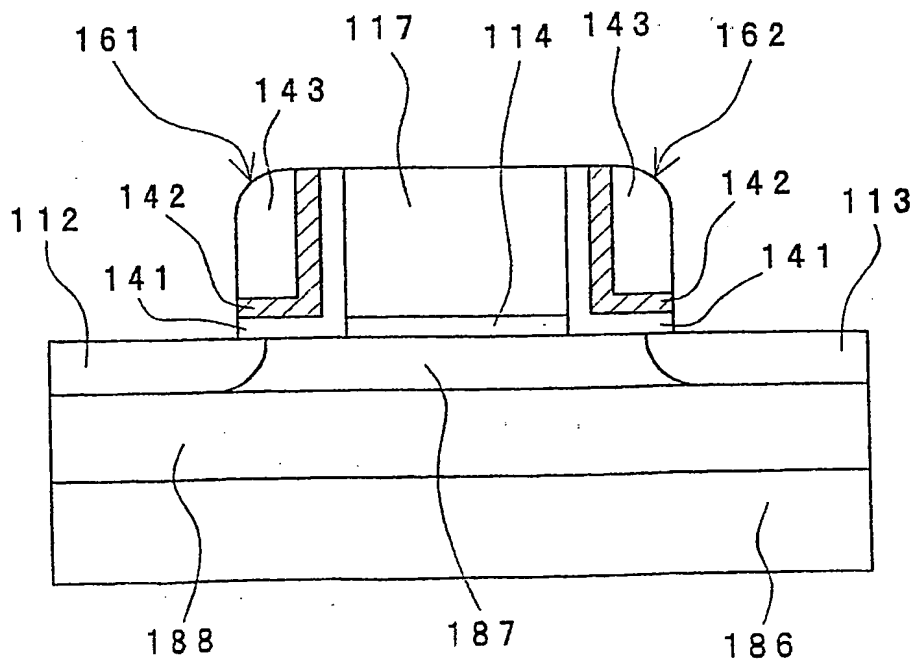
Fig. 11*Fig. 12*

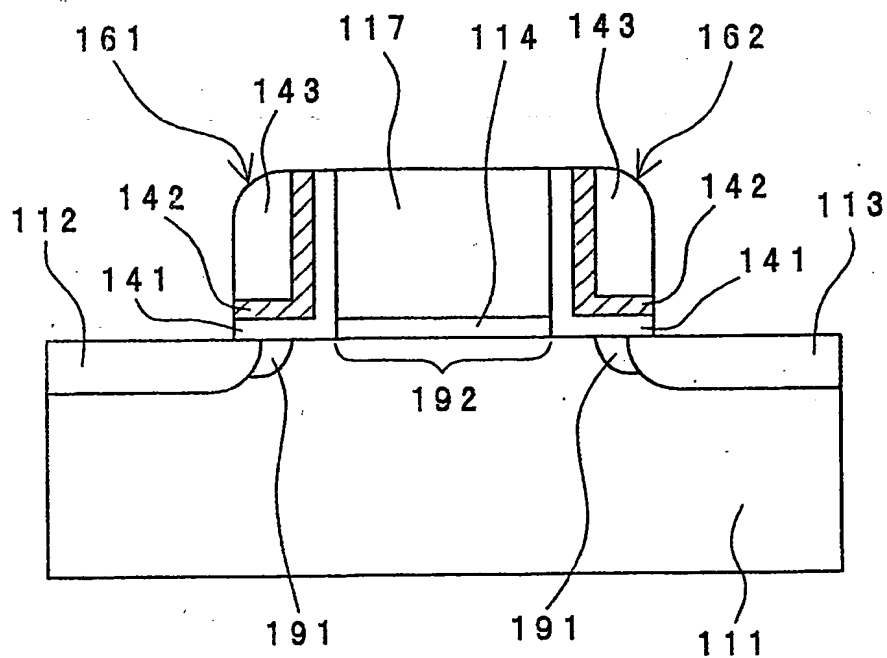
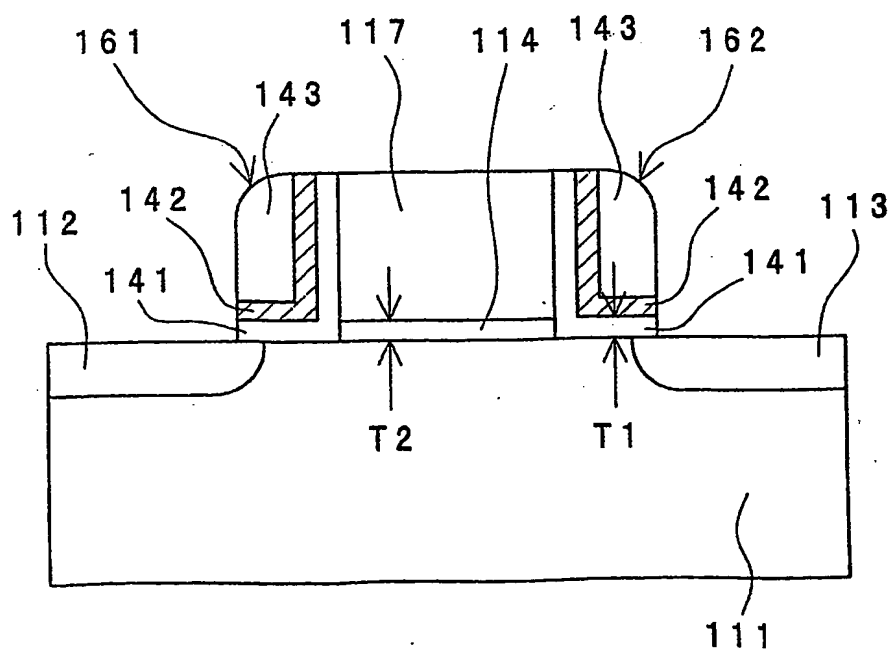
Fig. 13*Fig. 14*

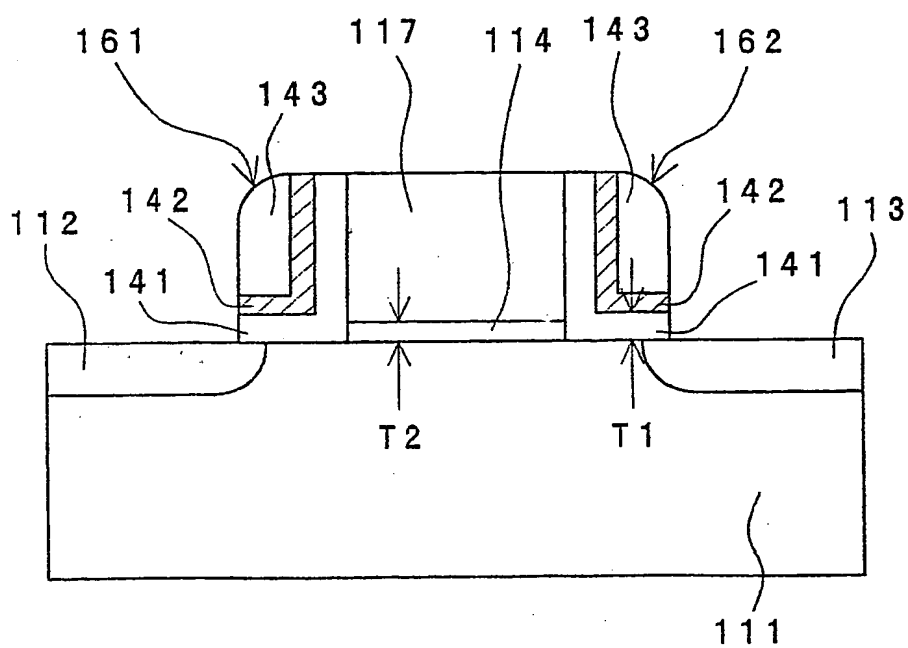
Fig. 15

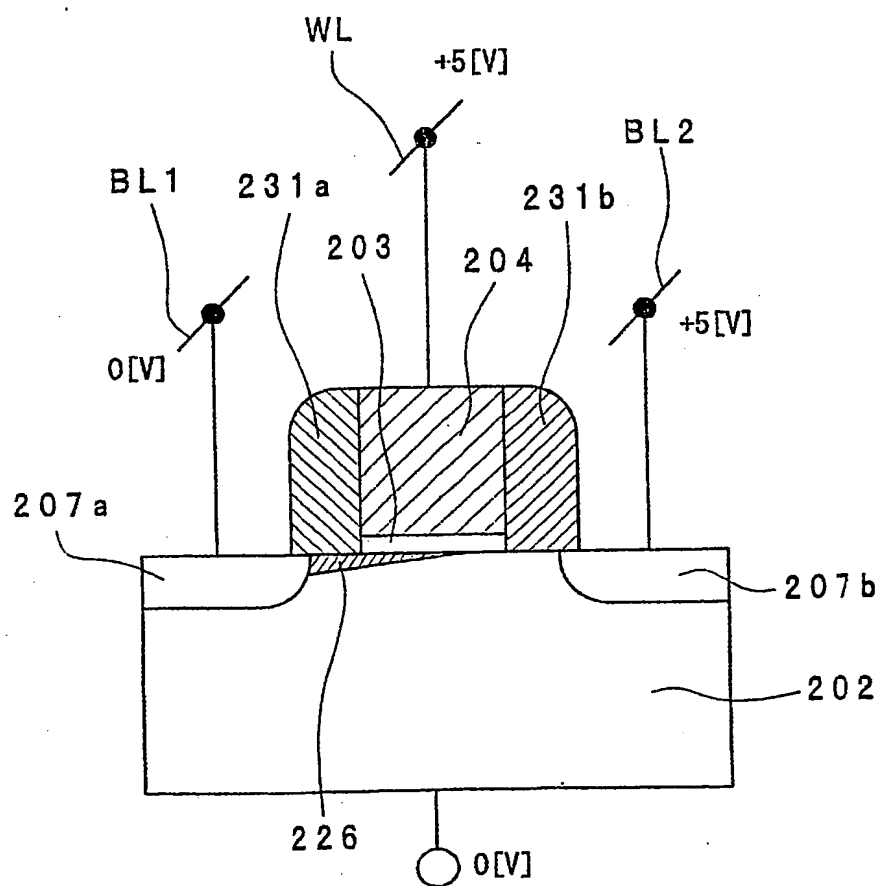
Fig. 16

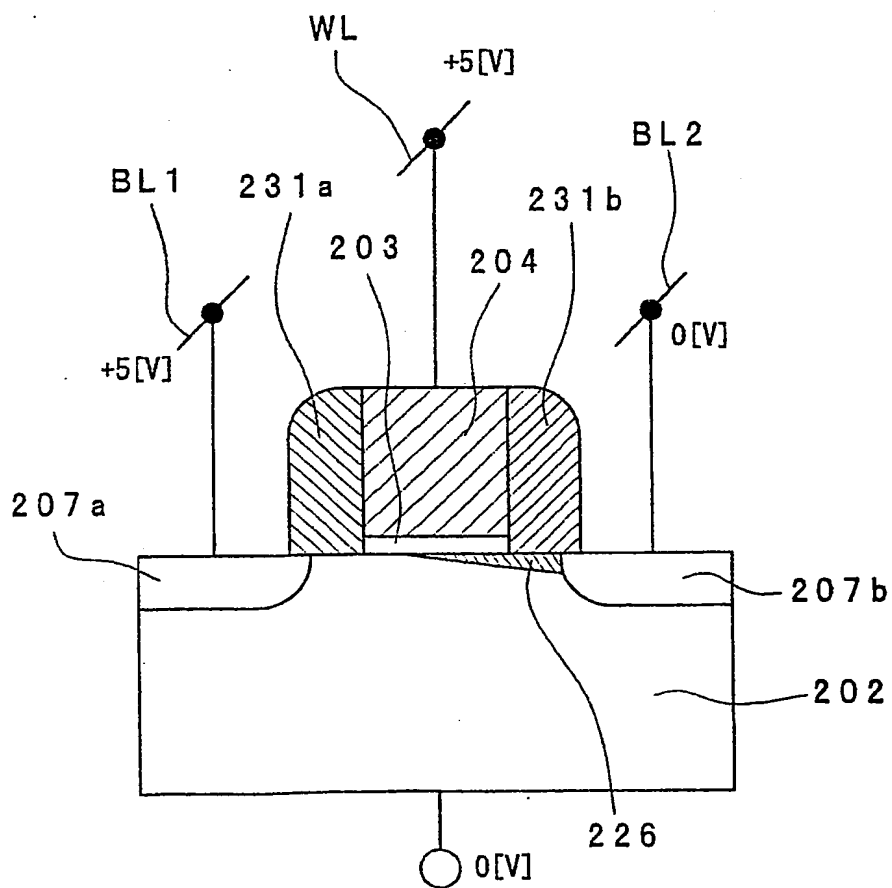
Fig. 17

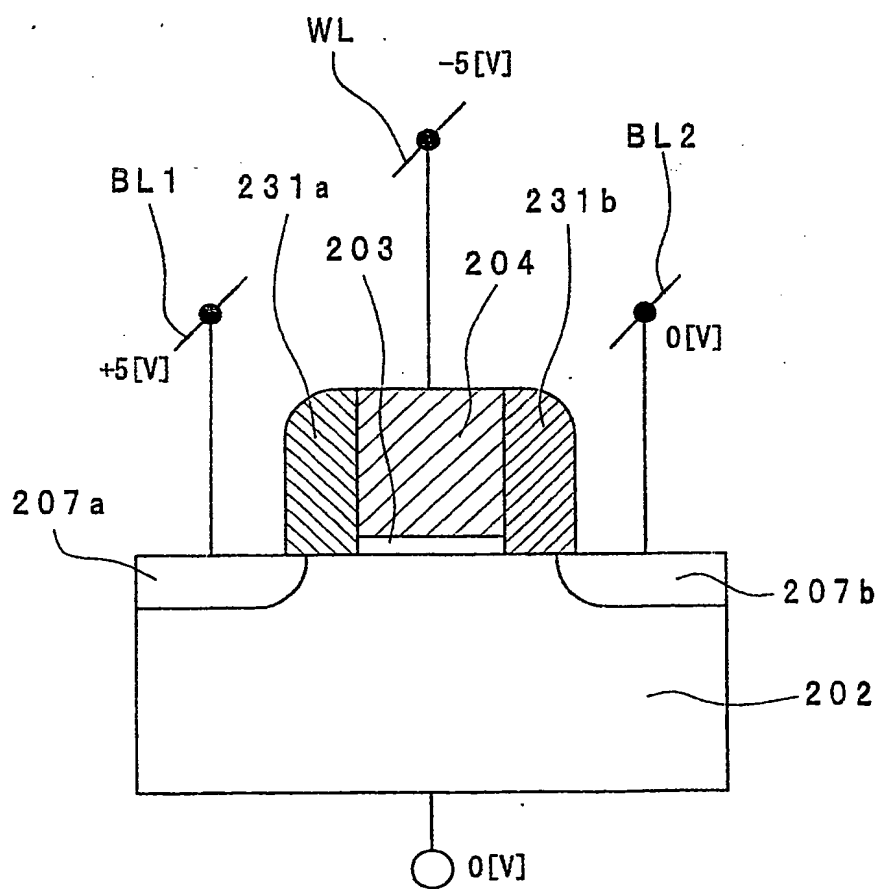
Fig. 18

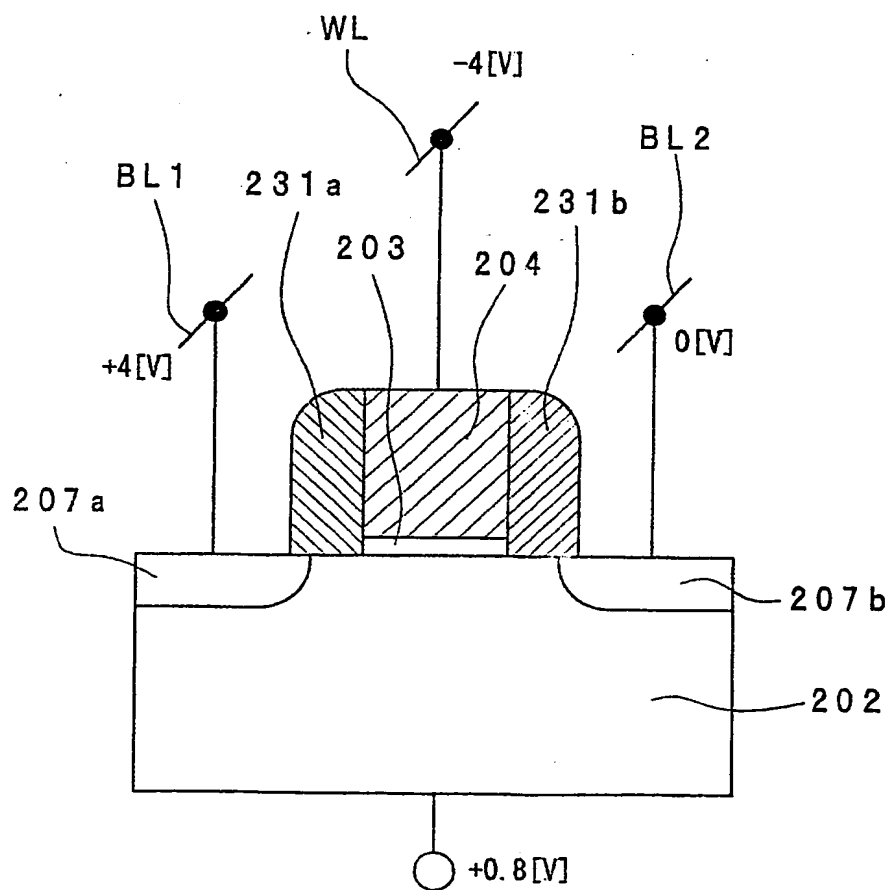
Fig. 19

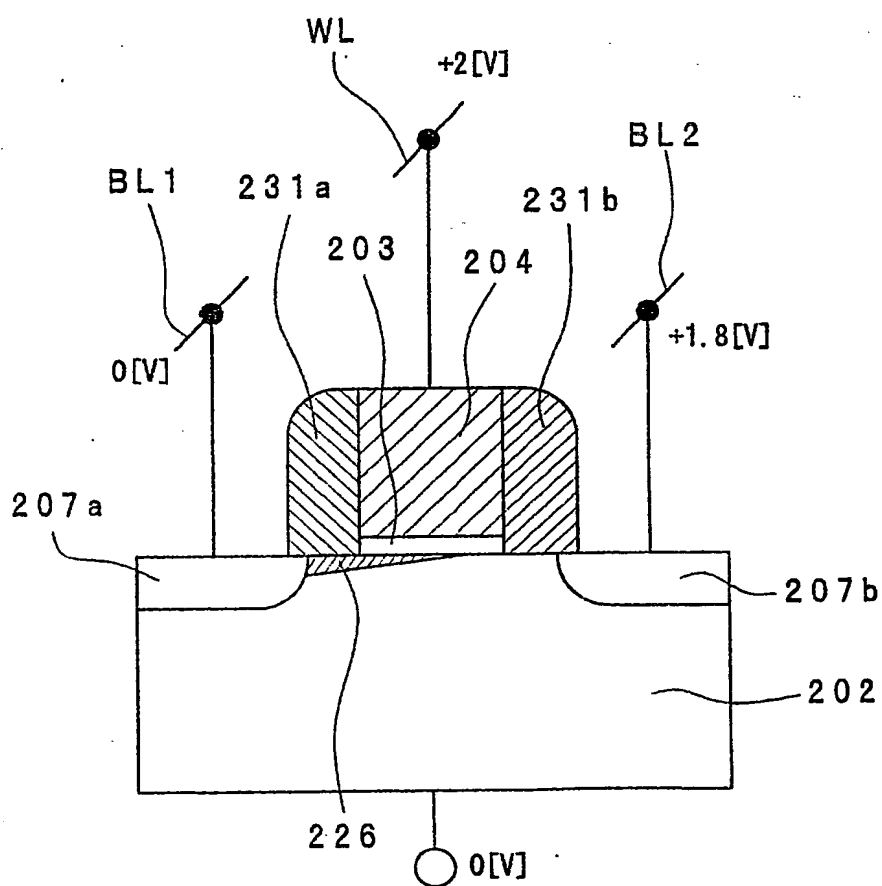
Fig. 20

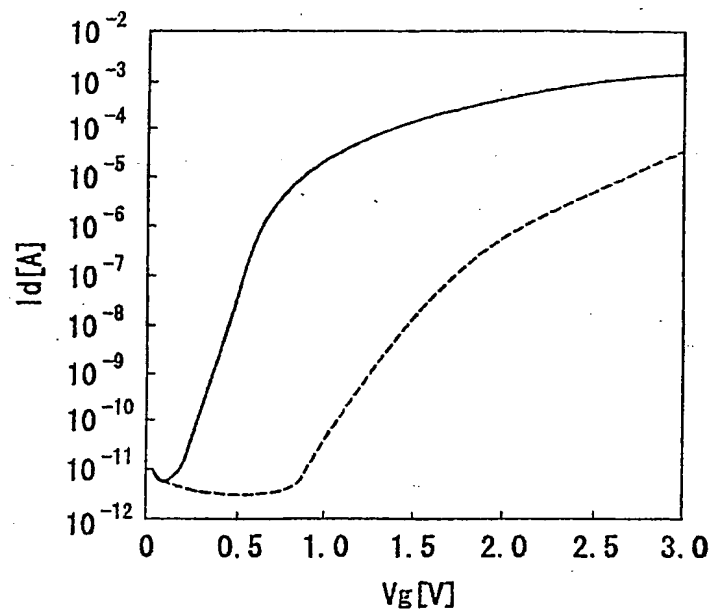
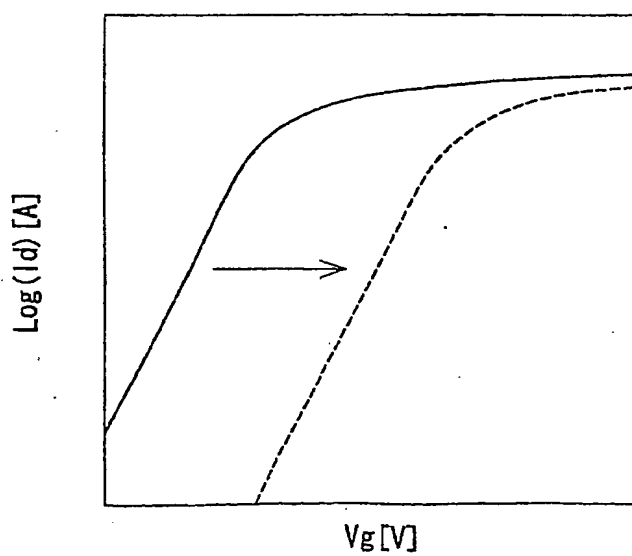
Fig. 21*Fig. 22*

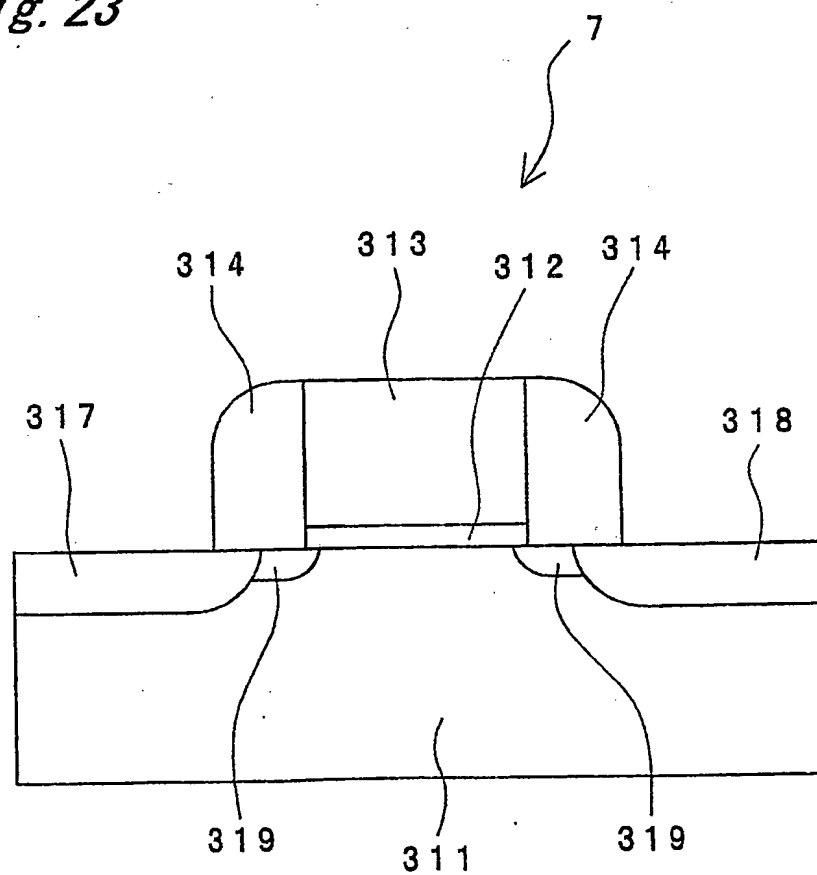
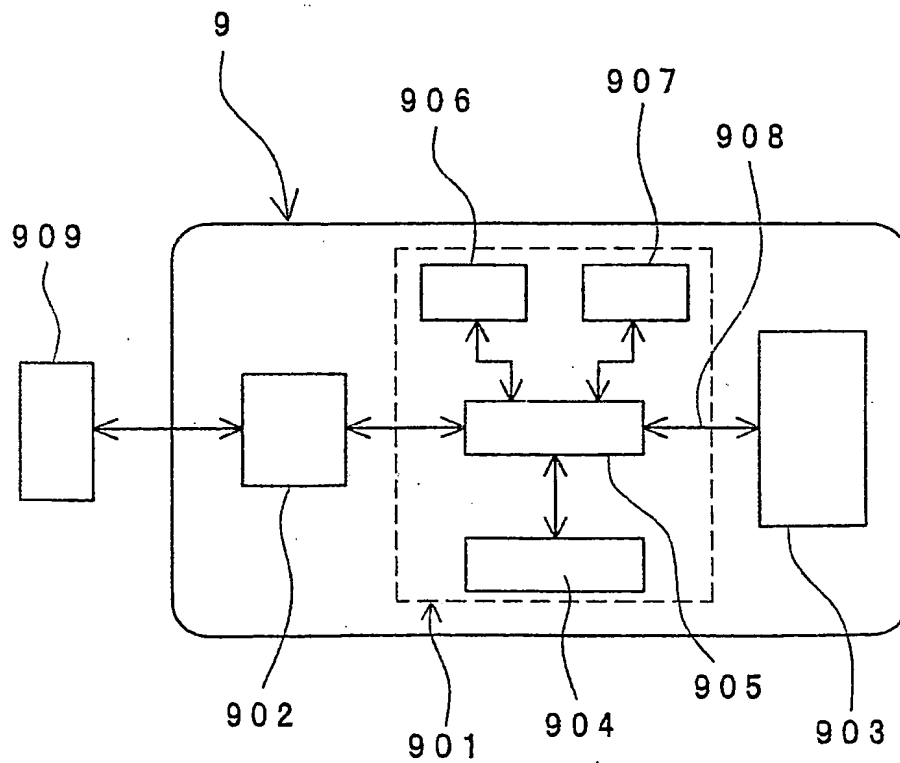
Fig. 23

Fig. 24

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/06730

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/788, H01L29/792, H01L27/115, H01L21/8247,
G06K19/077

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/788, H01L29/792, H01L27/115, H01L21/8247,
G06K19/077

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho | 1922-1996 | Toroku Jitsuyo Shinan Koho | 1994-2003 |
| Kokai Jitsuyo Shinan Koho | 1971-2003 | Jitsuyo Shinan Toroku Koho | 1996-2003 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| Y | JP 5-120501 A (Mitsubishi Electric Corp.), 18 May, 1993 (18.05.93), Full text; Figs. 1, 3, 5 (Family: none) | 1-12 |
| Y | JP 8-171621 A (Matsushita Electric Industrial Co., Ltd.), 02 July, 1996 (02.07.96), Full text; Fig. 1 (Family: none) | 1-12 |
| Y | US 6335554 B1 (KABUSHIKI KAISHA TOSHIBA), 01 January, 2002 (01.01.02), Full text; Figs. 1 to 3 & JP 2001-156188 A Full text; Figs. 1 to 9 & KR 2000076792 A | 1-12 |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not
considered to be of particular relevance

"E" earlier document but published on or after the international filing
date

"L" document which may throw doubts on priority claim(s) or which is
cited to establish the publication date of another citation or other
special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other
means

"P" document published prior to the international filing date but later
than the priority date claimed

"T"

later document published after the international filing date or
priority date and not in conflict with the application but cited to
understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be
considered novel or cannot be considered to involve an inventive
step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be
considered to involve an inventive step when the document is
combined with one or more other such documents, such
combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
13 August, 2003 (13.08.03)

Date of mailing of the international search report
26 August, 2003 (26.08.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/06730

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| Y | JP 2001-230332 A (Sony Corp.), 24 August, 2001 (24.08.01), Full text; Fig. 27 & US 2002/0097621 A1 | 1-12 |
| Y | WO 01/17030 A1 (MACRONIX AMERICA, INC.), 08 March, 2001 (08.03.01), Full text; Figs. 1 to 2 & JP 2003-508920 A | 1-12 |
| Y | JP 4-152490 A (SHARP KABUSHIKI KAISHA), 26 May, 1992 (26.05.92), Full text; Fig. 4 (Family: none) | 3 |
| Y | JP 6-259617 A (SHARP KABUSHIKI KAIHSA), 16 September, 1994 (16.09.94), Par. No. [0012]; Figs. 1 to 2 (Family: none) | 4 |
| Y | EP 1139223 A2 (SHARP KABUSHIKI KAISHA, NIPPON TELEGRAPH AND TELEPHONE CORP.), 04 October, 2001 (04.10.01), Full text; Figs. 1 to 2 & JP 2001-256460 A Full text; Figs. 1 to 2 & KR 2001092333 A & US 2001/0027511 A1 | 4 |

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. H01L29/788, H01L29/792, H01L27/115, H01L21/8247, G06K19/077

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. H01L29/788, H01L29/792, H01L27/115, H01L21/8247, G06K19/077

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国登録実用新案公報 1994-2003年
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|--|------------------|
| Y | JP 5-120501 A(三菱電機株式会社) 1993.05.18 全文, 図1, 3, 5(ファミリーなし) | 1-12 |
| Y | JP 8-171621 A(松下電器産業株式会社) 1996.07.02 全文, 図1(ファミリーなし) | 1-12 |
| Y | US 6335554 B1(KABUSHIKI KAISHA TOSHIBA) 2002.01.01 全文, 図1-3 & JP 2001-156188 A, 全文, 図1-9 & KR 2000076792 A | 1-12 |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

13.08.03

国際調査報告の発送日

25.08.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松嶋 秀忠

4M

9836

電話番号 03-3581-1101 内線 3460

| C (続き) 関連すると認められる文献 | | |
|---------------------|---|------------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
| Y | JP 2001-230332 A(ソニー株式会社) 2001.08.24 全文, 図27 & US 2002/0097621 A1 | 1-12 |
| Y | WO 01/17030 A1(MACRONIX AMERICA, INC.) 2001.03.08 全文, 図1-2 & JP 2003-508920 A | 1-12 |
| Y | JP 4-152490 A(シャープ株式会社) 1992.05.26 全文, 第4図(ファミリーなし) | 3 |
| Y | JP 6-259617 A(シャープ株式会社) 1994.09.16 【0012】, 図1-2(ファミリーなし) | 4 |
| Y | EP 1139223 A2(SHARP KABUSHIKI KAISHA, NIPPON TELEGRAPH AND TELEPHONE CORPORATION) 2001.10.04 全文, 図1-2 & JP 2001-256460 A, 全文, 図1-2 & KR 2001092333 A & US 2001/0027511 A1 | 4 |

IC CARD

BACKGROUND OF THE INVENTION

5 The present invention relates to an IC card.
More specifically, the present invention relates to an IC
card including storage devices each composed of a field-
effect transistor having a function to convert changes of
an electric charge amount or polarization to a current
10 amount.

The structure of a prior art IC card is shown in
Fig. 24. In the IC card 9, there are incorporated an MPU
(Micro Processing Unit) portion 901, a connection portion
902, and a data memory portion 903. In the MPU portion
15 901, there are provided an operation portion 904, a control
portion 905, a ROM (Read Only Memory) 906, and a RAM
(Random Access Memory) 907, each of which is formed upon
one chip. The above-stated portions are connected to each
other via a line 908 (including a data bus and a power
20 supply line). The connection portion 902 and an external
reader/writer 909 are connected when the IC card 9 is
attached to the reader/writer 909, by which power is
supplied to the card and data exchange is performed.

The data memory portion 903 is composed of a
25 rewritable memory device, typically composed of EEPROM

(Electrically Erasable Programmable ROM). The ROM 906 is typically composed of a mask ROM to mainly store a program for driving MPU.

5 The IC card is usable in extremely large variety of applications such as cash cards, credit cards, ID cards, and prepaid cards. However, for more widespread use of the IC card, one of the key points is to achieve further cost reduction. Cost reduction of a memory portion among components constituting the IC card is an important target
10 to achieve.

SUMMARY OF THE INVENTION

In view of the above target, it is an object of the present invention to provide a low-cost IC card by
15 incorporating a memory using storage devices capable of achieving further miniaturization.

In order to accomplish the above object, there is provided, according to the present invention, an IC card comprising:

20 a data memory portion having a plurality of storage devices, said data storage devices each comprising:

a semiconductor substrate, a well region provided in a semiconductor substrate, or a semiconductor film disposed on an insulator;

a gate insulating film formed on the semiconductor substrate, the well region provided in the semiconductor substrate, or the semiconductor film disposed on the insulator;

5 a single gate electrode formed on the gate insulating film;

two memory function parts formed on opposite sides of the single gate electrode;

10 a channel region disposed under the single gate electrode; and

diffusion layer regions disposed on both sides of the channel region, wherein

the storage devices are each structured so as to change a current amount flowing from one of the diffusion layer regions to the other of the diffusion layer regions when voltage is applied to the gate electrode, by an amount of electric charges stored in the memory function parts or by polarization vector.

20 According to the above-constituted IC card, the storage devices incorporated in the data memory portion are each structured such that memory function parts are formed on both sides of the gate electrode, independently of the gate insulating film. Consequently, since each of the memory function parts is separated by the gate electrode, interference in a rewrite operation can be effectively

25

restrained. Also, since a memory function implemented by the memory function parts and a transistor operation function implemented by the gate insulating film are independent from each other, it becomes possible to make the gate insulating film thinner to thereby control the short channel effect. This facilitates miniaturization of the storage devices.

The above storage devices are easy to miniaturize and therefore it becomes possible to reduce an area of the data memory portion incorporating the plurality of storage devices. This leads to cost reduction of the data memory portion, thereby enabling cost reduction of the IC card including the data memory portion.

In one embodiment, the IC card has a logic portion. This makes it possible to impart not only a storage function but also a variety of functions to the IC card.

In one embodiment, the IC card includes a communication means for communicating with external apparatuses and a collecting means for converting electromagnetic waves applied from the outside to electric power, which eliminates the necessity of providing a terminal for establishing electric connection to external apparatuses. Eventually, it becomes possible to prevent electrostatic destruction through the terminal. Further,

since close contact to the external apparatuses is not necessarily necessary, freedom of application configurations becomes large. In addition, the storage devices constituting the data memory portion operate at
5 relatively low supply voltage, which enables downsizing of a circuit of the above collecting means and enables cost reduction.

In one embodiment, the data memory portion and the logic portion are formed in one chip.

10 In the constitution of the above embodiment, a decreased number of chips incorporated in the IC card reduces costs. Further, since the process for forming the storage devices that constitute the data memory portion is quite close to the process for forming devices that
15 constitute the logic portion, placement of the devices of both types in a mixed or combined manner is particularly easy. Therefore, forming the logic portion and the data memory portion in one chip enables implementation of particularly large cost reducing effect.

20 In one embodiment, the logic portion includes a storage means for storing a program that defines operation of the logic portion, the storage means is rewritable from outside, and the storage means includes storage devices having a constitution identical to a constitution of the
25 storage devices of the data memory portion.

According to the above embodiment, since the storage means is rewritable from the outside, rewriting the above program according to need will achieve remarkable increase of the functions of the IC card. Since the storage devices are easy to miniaturize, increase of a chip area can be minimized even if, for example, a mask ROM is replaced by the storage device. Further, since the process of forming the storage device is quite close to the process for forming the device that constitutes the logic portion, mixed placement of the both devices is easy so that cost increase can be minimized.

In one embodiment, two-bit information is stored in each of the storage devices.

According to the above embodiment, every storage device is capable of storing two-bit information and a capability thereof is fully implemented. Therefore, compared with the case of storing one-bit information in every device, a device area per bit is reduced by half, so that an area of the data memory portion or the storage device can be further decreased. This leads to further cost reduction of the IC card.

In one embodiment, the memory function parts each have a first insulator, a second insulator, and a third insulator. The memory function parts each have a structure in which a film composed of the first insulator having a

function of storing electric charges is interposed between the second insulator and the third insulator. The first insulator is silicon nitride, and the second and third insulators are silicon oxide.

5 The above arrangement makes it possible to increase the operating speed and reliability of the IC card.

10 In one embodiment, a thickness of a film composed of the second insulator on the channel region is smaller than a thickness of the gate insulating film and is 0.8 nm or more. Therefore, it is possible to either decrease the power supply voltage for the IC card, or increase the operating speed of the IC card.

15 In one embodiment, a thickness of a film composed of the second insulator on the channel region is larger than a thickness of the gate insulating film, and is 20 nm or less. This arrangement makes it possible to either increase the storage capacity of the data memory portion to thereby enhance the functions of the IC card, or reduce the
20 production costs.

25 In one embodiment, the film composed of the first insulator having a function of storing electric charges includes a portion having a surface that is approximately parallel to a surface of the gate insulating film. This improves the reliability of the IC card.

In one embodiment, the film composed of the first insulator having a function of storing electric charges includes a portion extending in a direction approximately parallel to a lateral side of the gate electrode. This arrangement can increase the operating speed of the IC card.

In one embodiment, at least part of each memory function part is formed so as to overlap the corresponding diffusion layer region. This arrangement can increase the operating speed of the IC card.

BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 shows a structure of an IC card according to Embodiment 10 of the present invention;

Fig. 2 is a circuit diagram showing an arrangement of storage devices constituting a part of the IC card of Embodiment 10;

Fig. 3 shows a structure of an IC card according to Embodiment 11 of the present invention;

Fig. 4 shows a structure of an IC card according to Embodiment 12 of the present invention;

Fig. 5 is a schematic cross sectional view showing a main part of a storage device in Embodiment 1 of the present invention;

Fig. 6 is an enlarged schematic cross sectional view showing an essential part of Fig. 5;

Fig. 7 is an enlarged schematic cross sectional view of a variant of the part of Fig. 5;

5 Fig. 8 is a graph showing electrical characteristics of the storage device in Embodiment 1 of the present invention;

10 Fig. 9 is a schematic cross sectional view of an essential part of a modification of the storage device in Embodiment of the present invention;

Fig. 10 is a schematic cross sectional view showing an essential part of a storage device in Embodiment 2 of the present invention;

15 Fig. 11 is a schematic cross sectional view showing an essential part of a storage device in Embodiment 3 of the present invention;

Fig. 12 is a schematic cross sectional view showing an essential part of a storage device in Embodiment 4 of the present invention;

20 Fig. 13 is a schematic cross sectional view showing an essential part of a storage device in Embodiment 5 of the present invention;

25 Fig. 14 is a schematic cross sectional view showing an essential part of a storage device in Embodiment 6 of the present invention;

Fig. 15 is a schematic cross sectional view showing an essential part of a storage device in Embodiment 7 of the present invention;

5 Fig. 16 is an illustration for describing a program operation on a storage device in the present invention;

Fig. 17 is an illustration for describing a program operation on a storage device in the present invention;

10 Fig. 18 is an illustration for describing a first erase operation on a storage device in the present invention;

15 Fig. 19 is an illustration for describing a second erase operation on a storage device in the present invention;

Fig. 20 is an illustration for describing a read operation on a storage device in the present invention;

20 Fig. 21 is a graph showing electrical characteristics of a storage device according to the present invention;

Fig. 22 is a graph showing electrical characteristics of a conventional EEPROM;

Fig. 23 a schematic cross sectional view of a transistor constituting a standard logic; and

Fig. 24 shows a structure of a conventional IC card.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

5 First, storage devices used in an IC card according to the present invention will be outlined below.

Each of storage devices in the present invention is mainly composed of a gate insulating film, a gate electrode formed on the gate insulating film, memory
10 function parts formed on both sides of the gate electrode, source/drain regions (diffusion layer regions) disposed separately on the side opposite from the gate electrode of the memory function parts, and a channel region disposed under the gate electrode.

15 The storage device functions as a memory device storing four-valued or more information by storing binary or more information in one memory function part. However, the storage device functions not necessarily to store four-valued or more information, but it may also function to
20 store, for example, binary information.

It is preferable that the storage device of the present invention is formed on a semiconductor substrate, preferably in a first conductivity type well region formed in the semiconductor substrate.

The semiconductor substrate is not limited to particular ones as far as it is applicable to semiconductor apparatuses, and it is possible to use various substrates such as substrates made from elemental semiconductors including silicon and germanium, substrates made from compound semiconductors including GaAs, InGaAs and ZnSe, SOI substrates and multilayer SOI substrates, and substrates having a semiconductor layer on a glass or plastic substrate. Among these, a silicon substrate or an SOI substrate having a silicon layer formed as a surface semiconductor layer is preferable. The semiconductor substrate or the semiconductor layer may be either of a single crystal (e.g., single crystal obtained by epitaxial growth), polycrystalline, or amorphous, though a current amount flowing inside will be slightly different among them.

In the semiconductor substrate or the semiconductor layer, it is preferable that device isolation regions are formed, and it is more preferable to combine elements such as transistors, capacitors and resistors, a circuit composed thereof, a semiconductor device, and an inter-layer insulating film or films to form into a single or a multilayer structure. It is noted that the device isolation region may be formed by any of various device isolation films including a LOCOS (local oxidation of

silicon) film, a trench oxide film, and an STI film. The semiconductor substrate may be either of a P type or an N type conductivity type, and it is preferable that at least one first conductivity type (P type or N type) well region is formed in the semiconductor substrate. Acceptable impurity concentrations of the semiconductor substrate and the well region are those within the known range in the art. It is noted that in the case of using an SOI substrate as the semiconductor substrate, a well region may be formed in the surface semiconductor layer, and also a body region may be provided under the channel region.

Examples of the gate insulating film are not particularly limited and include those for use in typical semiconductor apparatuses, such as insulating films including silicon oxide films and silicon nitride films; and high-dielectric films including aluminum oxide films, titanium oxide films, tantalum oxide films, hafnium oxide films, in the form of single-layer films or multi-layer films. Among these, the silicon oxide film is preferable. An appropriate thickness of the gate insulating film is, for example, approx. 1 to 20 nm, preferably 1 to 6 nm. The gate insulating film may be only formed right under the gate electrode, or may be formed to be larger (in width) than the gate electrode.

The gate electrode is formed on the gate insulating film in the form typically used in semiconductor apparatuses. Unless particularly specified in the embodiments, examples of the gate electrode are not particularly limited and therefore include conductive films such as polysilicon; metals including copper and aluminum; high-melting metals including tungsten, titanium, and tantalum; and silicides of high-melting metals, in the form of a single-layer or a multi-layer. An appropriate film thickness of the gate electrode is approx. 50 to 400 nm. The channel region, which is below the gate electrode, is preferably formed not only under the gate electrode but also under regions including the outside of the gate edge in longitudinal direction of the gate. Thus, in the case where there is present a channel region which is not covered with the gate electrode, the channel region is preferably covered with the gate insulating film or memory function parts, which will be described later.

The memory function part at least has a film or a region having a function of holding electric charges, or storing and holding electric charges, or a function of trapping electric charges. Materials implementing these functions include: silicon nitride; silicon; silicate glass including impurities such as phosphorus or boron; silicon carbide; alumina; high-dielectric substances such as

hafnium oxide, zirconium oxide, or tantalum oxide; zinc oxide; and metals. The memory function part may be formed into single-layer or multi-layer structure of: for example, an insulating film containing a silicon oxide film; an
5 insulating film incorporating a conductive film or a semiconductor layer inside; and an insulating film containing one or more semiconductor dots or semiconductor dots. Among these, the silicon oxide is preferable because it can achieve a large hysteresis property by the presence
10 of a number of levels for trapping electric charges, and has good holding characteristics in that the electric-charge holding time is long and that there hardly occurs leakage of electric charges caused by generation of leakage paths, and further because it is a material normally used
15 in LSI process.

Use of an insulating film containing inside an insulating film having a charge holding function such as a silicon nitride film enables increase of reliability relating to memory holding. Since the silicon nitride film
20 is an insulator, electric charges of the entire silicon nitride film will not be immediately lost even if part of the electric charges is leaked. Further, in the case of arraying a plurality of storage devices, even if the distance between the storage devices is shortened and
25 adjacent memory function parts come into contact with each

other, information stored in each memory function part is not lost unlike the case where the memory function part is made from a conductor. Also, it becomes possible to dispose a contact plug closer to the memory function part, or in some cases it becomes possible to dispose the contact plug so as to overlap with the memory function part, which facilitates miniaturization of the storage devices.

For further increase of the reliability relating to the memory holding, the insulator having a function of holding electric charges is not necessarily needed to be in the film shape, and insulators having the function of holding an electric charge are preferably present in an insulating film in a discrete manner. More specifically, it is preferable that an insulator is dispersed like dots over a material having difficulty in holding electric charges, such as silicon oxide.

Also, use of an insulator film containing inside a conductive film or a semiconductor layer as a memory function part enables free control of quantity of electric charges injected into the conductor or the semiconductor, thereby bringing about an effect of facilitating achieving multi level cell.

Further, using an insulator film containing one or more conductor or semiconductor dots as a memory function part facilitates execution of write and erase due

to direct tunneling of electric charges, thereby bringing about an effect of reduced power consumption.

More specifically, it is preferable that the memory function part further contains a region that obstructs escape of electric charges or a film having a function of obstructing escape of electric charges. Those fulfilling the function of obstructing escape of electric charges include a silicon oxide.

The memory function part is formed on the both sides of the gate electrode directly or through an insulating film, and it is disposed on a semiconductor substrate (a well region, a body region, or a source/drain region or a diffusion region) directly or through the gate insulating film or the insulating film. Charge holding films on the both sides of the gate electrode may be formed so as to cover the entirety or a part of side surfaces of the gate electrode directly or through the insulating film. In the case of using a conductive film as the charge holding film, the charge holding film is preferably disposed with interposition of an insulating film so that the charge holding film is not brought into direct contact with a semiconductor substrate (a well region, a body region, or a source/drain region or a diffusion layer region) or the gate electrode. This is implemented by, for example, a multi-layer structure composed of a conductive

film and an insulating film, a structure of dispersing a conductive film like dots in an insulating film, and a structure of disposing a conductive film within part of a side-wall insulating film formed on the side wall of the gate.

The memory function part preferably has a sandwich structure in which a film made of a first insulator for storing electric charges is interposed in between a film made of a second insulator and a film made of a third insulator. Since the first insulator for storing electric charges is in the film shape, it becomes possible to increase electric charge concentration in the first insulator in a short period of time by injection of electric charges and also to uniform the electric charge distribution. In the case where the electric charge distribution in the first insulator for storing electric charges is not uniform, there is a possibility that electric charges move inside the first insulator during being held and so the reliability of the memory devices is deteriorated. Also, the first insulator for storing electric charges is separated from conductor portions (a gate electrode, a diffusion layer region, and a semiconductor substrate) with another insulating film, which may restrain leakage of electric charges and makes it possible to obtain sufficient holding time. Therefore, the

above sandwich structure enables high-speed rewrite operations, increased reliability, and obtainment of sufficient holding time of the storage device. The memory function part that fulfils the above conditions is more preferably structured such that the first insulator is a silicon nitride film, and the second and the third insulators are silicon oxide films. The silicon nitride film may achieve large hysteresis property by the presence of a number of levels for trapping electric charges. Also, the silicon oxide film and the silicon nitride film are preferable because they are materials used in LSI process quite typically. Further, as the first insulator, in addition to silicon nitride, there may be used such materials as hafnium oxide, tantalum oxide, and yttrium oxide. As the second and third insulators, in addition to the silicon oxide, such material as aluminum oxide may be used. It is noted that the second and third insulators may be of different materials or may be of the same material.

The memory function part is formed on both sides of the gate electrode, and disposed on the semiconductor substrate (a well region, a body region, or a source/drain region or a diffusion layer region).

The charge holding film contained in the memory function part is formed on both sides of the gate electrode directly or through an insulating film, and it is disposed

on the semiconductor substrate (a well region, a body region, or a source/drain region or a diffusion layer region) directly or through the gate insulating film or the insulating film. The charge holding films on both sides of the gate electrode are preferably formed so as to cover all or part of side walls of the gate electrode directly or through the insulating film. In an application where the gate electrode has a recess portion on the lower edge side, the charge holding film may be formed so as to fill the entire recess portion or part of the recess portion directly or through the insulating film.

Preferably, the gate electrode is formed only on the side wall of the memory function part or formed such that the upper portion of the memory function part is not covered. In such disposition, it becomes possible to dispose a contact plug closer to the gate electrode, which facilitates miniaturization of the storage devices, or memory devices. Also, the memory devices having such simple disposition are easily manufactured, resulting in an increased yield.

The source/drain regions are disposed on the side of the memory function parts opposed from the gate electrode as diffusion regions having a conductivity type opposite to that of the semiconductor substrate or of the well region. In the portion where the source/drain region

is joined to the semiconductor substrate or the well region, impurity concentration is preferably sharp. This is because the sharp impurity concentration efficiently generate hot electrons and hot holes with low voltages, which enables high-speed operations with lower voltages.

The junction depth of the source/drain region is not particularly limited and so it is adjustable where necessary, according to performance and the like of a memory device to be manufactured. It is noted that if an SOI substrate is used as the semiconductor substrate, the junction depth of the source/drain region may be smaller than the film thickness of a surface semiconductor layer, though preferably the junction depth is almost equal to the film thickness of the surface semiconductor layer.

The source/drain region may be disposed so as to be overlapped with the edge of the gate electrode, or may be disposed so as to be offset from the edge of the gate electrode. Particularly, it is preferable that the source/drain region is offset relative to the edge of the gate electrode. This is because in this case, when voltage is applied to the gate electrode, easiness of inversion of the offset region under the charge holding film is largely changed by an electric charge amount stored in the memory function part, resulting in increased memory effect and reduced short channel effect. It is noted, however, that

too much offset extremely reduces drive current between the source and the drain. Therefore, it is preferable that an offset amount, that is a distance from one edge of the gate electrode to the source or drain region closer thereto in the longitudinal direction of the gate, is shorter than the thickness of the charge holding film parallel to the longitudinal direction of the gate. What is particularly important is that at least part of the electric charge storage region in the memory function part overlaps with the source/drain region as a diffusion layer region. This is because the nature of memory devices or cells constituting the IC card of the present invention is to rewrite memory with an electric field crossing the memory function part by voltage difference between the gate electrode present only on the side wall portion of the memory function part and the source/drain region. The offset amount should be selected such that both the memory effect and the drive current have appropriate values, or are compatible with each other.

Part of the source/drain region may be extended up to the position higher than the surface of the channel region, that is, the lower face of the gate insulating film. In this case, it is appropriate that a conductive film is laid on a source/drain region formed in the semiconductor substrate in an integrated manner with the

source/drain region. Examples of the conductive film include semiconductors such as polysilicon and amorphous silicon, silicide, and the above described metals and high-melting metals. Among these, the polysilicon is preferable. Since the polysilicon is extremely larger in impurity diffusion speed than the semiconductor substrate, it is easy to shallow the junction depth of the source/drain region in the semiconductor substrate, and it is easy to control short channel effect. In this case, it is preferable that the source/drain region is disposed such that at least part of the charge holding film is sandwiched between part of the source/drain region and the gate electrode.

The memory device of the present invention uses a single gate electrode formed on the gate insulating film, a source region, a drain region, and a semiconductor substrate as four terminals, and executes write, erase and read operations by giving specified potential to each of these four terminals. An example of the principle of a specific operation and operation voltages will be described later. When the storage devices of the present invention are disposed in an array to constitute a memory cell array, a single control gate is capable of control each storage device, which makes it possible to decrease the number of word lines.

The storage device of the present invention can be formed by a normal semiconductor fabrication process, for example, by a method similar to a method for forming a multilayer-structured side wall spacer on the side wall of a gate electrode. More specifically, there is a method in which after the gate electrode is formed, a multilayer composed of an insulating film (second insulator), an electric charge storage film (first insulator), and an insulating film (second insulator) is formed and etched back under an appropriate condition to leave the film in the form of a side wall spacer. In addition, depending on the structure of a desired memory function part, conditions and deposits in forming the side wall may be appropriately selected.

Specific examples of the storage devices to be used in the IC card of the present invention will be described below.

(Embodiment 1)

In a storage device in this embodiment as shown in Fig. 5, each memory function parts 161, 162 is composed of a region for holding electric charges (the region for storing electric charges, which may be a film having a function of holding electric charges) and a region for obstructing release of electric charges (which may be a

film having a function of obstructing release of electric charges). The memory function part has, for example, ONO (Oxide Nitride Oxide) structure. More specifically, the memory function parts 161, 162 are each structured in the state that a silicon nitride film 142 as a first insulator is interposed between a silicon oxide film 141 as a second insulator and a silicon oxide film 143 as a third insulator. Here, the silicon nitride film 142 implements a function of holding electric charges. The silicon oxide films 141, 143 implement a function of obstructing release of the electric charges stored in the silicon nitride film.

Also, the regions (silicon nitride films 142) for holding electric charges in the memory function parts 161, 162 are overlapped with the diffusion layer regions 112, 113. Herein, the term "overlap" is used to refer to the state that at least part of the region (silicon nitride film 142) for holding electric charges is present on at least part of the diffusion layer region 112, 113. There are also shown a semiconductor substrate 111, a gate insulating film 114, a gate electrode 117, and offset regions 171 (between the gate electrode and the diffusion layer regions). Though not shown in the drawing, the uppermost surface area of the semiconductor substrate 111 under the gate insulating film 114 serves as a channel region.

Description will be given of an effect of overlapping the region 142 for holding electric charges in the memory function parts 161, 162 and the diffusion layer regions 112, 113.

5 Fig. 6 is an enlarged view showing the vicinity of the memory function part 162 that is on the right side of Fig. 5. Reference numeral W1 denotes an offset amount between the gate insulating film 114 and the diffusion layer region 113. Also, reference numeral W2 denotes the
10 width of the memory function part 162 on the cross sectional plane in channel length direction of the gate electrode. Since an edge of the silicon nitride film 142 on the side away from the gate electrode 117 in the memory function part 162 is aligned with an edge of the memory
15 function part 162 on the side away from the gate electrode 117, the width of the memory function part 162 is defined as W2. An overlap amount between the memory function part 162 and the diffusion layer region 113 is represented by an expression of $W2 - W1$. What is particularly important is
20 that the silicon nitride film 142 in the memory function part 162 is overlapped with the diffusion layer region 113, that is, the silicon nitride film 142 is configured such that the relation of $W2 > W1$ is satisfied.

25 In the case where the edge of the silicon nitride film 142a on the side away from the gate electrode in the

memory function part 162a is not aligned with the edge of the memory function part 162a on the side away from the gate electrode as shown in Fig. 7, W2 may be defined as the width from the edge of the gate electrode to the edge of the silicon nitride film 142a on the side away from the gate electrode.

Fig. 8 shows a drain current I_d in the structure of Fig. 6 with the width W2 of the memory function part 162 being fixed to 100 nm and the offset amount W1 being varied. Herein, the drain current is obtained by device simulation performed under the conditions that the memory function part 162 is in erased state (holes are stored), and that the diffusion layer regions 112, 113 are set to be a source electrode and a drain electrode, respectively.

As shown in Fig. 8, with W1 being 100 nm or more (i.e., when the silicon nitride film 142 and the diffusion layer region 113 are not overlapped), the drain current shows rapid reduction. Since a drain current value is almost in proportion to a read operation speed, memory performance is rapidly deteriorated when W1 is 100 nm or more. In the range where the silicon nitride film 142 and the diffusion layer region 113 are overlapped, the drain current shows mild reduction. Therefore, it is preferable that at least part of the silicon nitride film 142 that is

a film having a function of holding electric charges is overlapped with the source/drain region.

Based on the above-described result of the device simulation, memory cell arrays are manufactured with W2 being fixed to 100 nm, and W1 being set to 60 nm and 100 nm as design values. When W1 is 60 nm, the silicon nitride film 142 is overlapped with the diffusion layer regions 112, 113 by 40 nm as a design value, and when W1 is 100 nm, there is no overlap as a design value. As a result of measuring read times of these memory cell arrays and comparing them in worst cases considering dispersion, it was found out that the case where W1 was 60 nm as a design value was 100 times faster in readout access time. From a practical standpoint, it is preferable that the read access time is 100 nanoseconds or less per bit. It was found out, however, that this condition was never satisfied in the case of $W1=W2$. It was also found out that $W2-W1>10$ nm was more preferable in consideration of manufacturing dispersion.

For reading information stored in the memory function part 161, it is preferable to set the diffusion layer region 112 as a source electrode and the diffusion layer region 113 as a drain region, as in the device simulation, and to form a pinchoff point on the side closer to the drain region of the channel region. More

specifically, in reading information stored in one of two memory function parts, the pinchoff point is preferably formed in a region closer to the other memory function part of the channel region. This makes it possible to detect
5 stored information in one memory function part 161, for example, with good sensitivity regardless of the storage condition of the other memory function part 162, resulting in large contribution to implementation of two-bit operation.

10 In the case of storing information only in one of the two memory function parts 161, 162, or in the case of using these two memory function parts 161, 162 in the same storing condition, an pinchoff point is not necessarily formed in read operations.

15 Although not shown in Fig. 5, a well region (P type well in the case of N-channel device) is preferably formed at the surface of the semiconductor substrate 111. Forming the well region facilitates control of electrical characteristics (withstand voltage, junction capacitance,
20 and short channel effect) while maintaining impurity concentration of the channel region optimum for memory operations (rewrite operation and read operation).

From the viewpoint of improving memory holding characteristic, the memory function part preferably
25 incorporates a charge holding film having a function of

holding electric charges, and an insulating film. This embodiment uses the silicon nitride film 142 as a charge holding film having levels for trapping electric charges, and the silicon oxide films 141, 143 as insulating films having a function of preventing the electric charges stored in the charge holding film from dispersing. The memory function part having the charge holding film and the insulating film makes it possible to prevent electric charges from dispersing and to improve holding characteristic. Further, compared with a memory function part composed of only a charge holding film, it becomes possible to appropriately decrease the volume of the charge holding film. Appropriate decrease of the volume of the charge holding film makes it possible to restrain movement of electric charges in the charge holding film and to control occurrence of characteristic change due to movement of electric charges during memory holding.

Also, it is preferable that the memory function part contains a charge holding film disposed approximately parallel to the surface of the gate insulating film. In other words, it is preferable that the surface of the charge holding film in the memory function part is disposed so as to be at a constant distance from the surface of the gate insulating film. More particularly, as shown in Fig. 9, a charge holding film 142b in the memory function part

162 has a face approximately parallel to the surface of the gate insulating film 114. In other words, the charge holding film 142b is preferably formed to have a uniform height from the height corresponding to the surface of the gate insulating film 114. The presence of the charge holding film 142b approximately parallel to the surface of the gate insulating film 114 in the memory function part 162 makes it possible to effectively control formation of an inversion layer in the offset region 171 with use of an amount of electric charges stored in the charge holding film 142b, thereby enabling increase of memory effect. Also, by placing the charge holding film 142b approximately parallel to the surface of the gate insulating film 114, change of memory effect is kept relatively small even with a dispersed offset amount (W_1), enabling restraint of memory effect dispersion. In addition, movement of electric charges toward upper side of the charge holding film 142b is controlled, and therefore characteristic change due to the movement of electric charges during memory holding can be restrained.

Furthermore, the memory function part 162 preferably contains an insulating film (e.g., a portion of the silicon oxide film 144 on the offset region 171) that separates the charge holding film 142b approximately parallel to the surface of the gate insulating film 114

from the channel region (or the well region). This insulating film restrains dissipation of the electric charges stored in the charge holding film, thereby contributing to obtaining a storage device with better holding characteristics.

It is noted that controlling the film thickness of the charge holding film 142b as well as controlling the film thickness of the insulating film under the charge holding film 142b (a portion of the silicon oxide film 144 on the offset region 171) to be constant make it possible to keep the distance from the surface of the semiconductor substrate to the electric charges stored in the charge holding film approximately constant. More particularly, the distance from the surface of the semiconductor substrate to the electric charges stored in the charge holding film 142b can be controlled to be within the range of from a minimum film thickness value of the insulating film under the charge holding film 142b to the sum of a maximum film thickness of the insulating film under the charge holding film 142b and a maximum film thickness of the charge holding film 142b. Consequently, the concentration of electric lines of force generated by the electric charges stored in the charge holding film 142b becomes roughly controllable, and therefore dispersion of

the degree of memory effect of the memory devices can be minimized.

(Embodiment 2)

5 In Embodiment 2, a charge holding film 142 in the memory function part 162 has an approximately uniform film thickness as shown in Fig. 10. Further, the charge holding film 142 includes a first portion 181 as an example of a portion having a surface approximately parallel to the
10 surface of the gate insulating film 114 and a second portion 182 as an example of a portion extending in a direction approximately parallel to a side face of the gate electrode 117.

 When a positive voltage is applied to the gate
15 electrode 117, an electric line of force in the memory function part 162 passes the silicon nitride film 142 totally twice through the first portion 181 and the second portion 182 as shown with arrow line 183. It is noted that when a negative voltage is applied to the gate electrode
20 117, the direction of the electric line of force is reversed. Herein, a relative permittivity, or dielectric constant of the silicon nitride film 142 is approx. 6, while a dielectric constant of silicon oxide films 141, 143 is approx. 4. Eventually, an effective dielectric constant
25 of the memory function part 162 in the direction of

electric line of force 183 becomes larger than that in the case where the charge holding film 142 includes only the first portion 181, which makes it possible to decrease the potential difference between both edges of the electric line of force. More specifically, a large part of the voltage applied to the gate electrode 117 is used to reinforce electric fields in the offset region 171.

Electric charges are injected into the silicon nitride film 142 in rewrite operations because generated electric charges are pulled by electric fields in the offset region 171. As a consequence of the charge holding film 142 including the second portion 182, increased electric charges are injected into the memory function part 162 in rewrite operations, thereby increasing a rewrite speed.

In the case where the silicon oxide film 143 is replaced with a silicon nitride film, more specifically, in the case where the upper surface of the charge holding film is not at a constant height relative to the surface of the gate insulating film 114, movement of electric charges toward upper side of the silicon nitride film becomes outstanding, and holding characteristics are deteriorated.

Instead of silicon oxide film, the memory function part is more preferably formed from high-dielectric substances such as hafnium oxide having an

extremely large dielectric constant, or relative permittivity.

Further, the memory function part more preferably includes an insulating film (a portion of the silicon oxide film 141 on the offset region 171) that separates the charge holding film approximately parallel to the surface of the gate insulating film from the channel region (or the well region). This insulating film restrains dissipation of the electric charges stored in the charge holding film, thereby enabling further improvement of holding characteristics.

Also, the memory function part more preferably includes an insulating film (a portion in contact with the gate electrode 117 of the silicon oxide film 141) that separates the gate electrode from the charge holding film extending in the direction approximately parallel to the side face of the gate electrode. This insulating film prevents injection of electric charges from the gate electrode into the charge holding film to thereby prevent change of electrical characteristics, which may increase reliability of the storage device.

Further, similar to Embodiment 1, it is preferable that the film thickness of the insulating film under the charge holding film 142 (a portion of the silicon oxide film 141 on the offset region 171) is controlled to

be constant, and further the film thickness of the insulating film disposed on the side face of the gate electrode (a portion of the silicon oxide film 141 in contact with the gate electrode 117) is controlled to be constant. Consequently, the concentration of electric lines of force generated by the electric charges stored in the charge holding film 142 becomes roughly controllable, and leakage of electric charges can be prevented.

(Embodiment 3)

This Embodiment 3 relates to optimization of the distance between a gate electrode, a memory function part, and a source/drain region.

As shown in Fig. 11, reference symbol A denotes a gate electrode length in the cross section in the channel length direction, reference symbol B denotes a distance (channel length) between source and drain regions, and reference symbol C denotes a distance from an outer edge of one memory function part to an outer edge of the other memory function part, more specifically a distance from the outer edge (on the side away from the gate electrode) of a film having a function of holding the electric charges in one memory function part to the outer edge (on the side away from the gate electrode) of a film having a function of holding the electric charges in the other memory

function part in the cross section in the channel length direction.

First, it is preferable that the relationship of $B < C$ holds. In the channel region, there is present an offset region 171 between a portion under the gate electrode 117 and each of the source/drain regions 112, 113. Since $B < C$, the electric charges stored in the memory function parts 161, 162 (silicon nitride films 142) effectively vary invertibility in the entire part of the offset region 171. As a result, memory effect is increased, and a high-speed read operation is particularly enabled.

Also, when the gate electrode 117 and the source/drain regions 112, 113 are offset relative to each other, that is, when an equation $A < B$ is satisfied, invertibility of the offset region when a voltage is applied to the gate electrode 117 is largely changed by an electric charge amount stored in the memory function parts 161, 162. Consequently, memory effect increases and short channel effect can be reduced. However, as long as the memory effect is effective, the offset region is not necessarily required. Even when the offset region 171 is not present, if the impurity concentration in the source/drain regions 112, 113 is sufficiently small, the

memory effect can still be effective in the memory function parts 161, 162 (silicon nitride film 142).

Therefore, the state of $A < B < C$ is most preferable.

5

(Embodiment 4)

A storage device in Embodiment 4 has essentially the same structure as that in Embodiment 1 except that in the present embodiment, the semiconductor substrate is an SOI substrate, as shown in Fig. 12.

The storage device is structured such that a buried oxide film 188 is formed on a semiconductor substrate 186, and on top of the buried oxide film 188, an SOI layer is further formed. In the SOI layer, there are formed diffusion layer regions 112, 113, and other areas constitute a body region 187.

This storage device also brings about the effects similar to those of the storage device in Embodiment 3. Further, since the junction capacitance between the diffusion layer regions 112, 113 and the body region 187 can be considerably reduced, it becomes possible to increase a device speed and to decrease power consumption.

(Embodiment 5)

A storage device in Embodiment 5 has essentially the same structure as that in Embodiment 1, except that in Embodiment 5, a P type highly-concentrated region 191 is provided, as shown in Fig. 13, in the vicinity of the channel side of N type source/drain regions 112, 113.

More specifically, the concentration of P type impurity (e.g., boron) in the P type highly-concentrated region 191 is higher than the concentration of P type impurity in the region 192. An appropriate value of the P type impurity concentration in the P type highly-concentrated region 191 is, for example, around 5×10^{17} to $1 \times 10^{19} \text{ cm}^{-3}$. Also, a value of the P type impurity concentration in the region 192 may be set to, for example, 5×10^{16} to $1 \times 10^{18} \text{ cm}^{-3}$.

Providing the P type highly-concentrated region 191 makes the junction between the diffusion layer region 112, 113 and the semiconductor substrate 111 steep right under the memory function parts 161, 162. This facilitates generation of hot carriers in write and erase operations, thereby enabling reduction of voltage in write operations and erase operations or implementing high-speed write operations and erase operations. Further, since the impurity concentration in the region 192 is relatively low, a threshold value when the memory is in erased state is small and so the drain current becomes large.

Consequently, a read speed is increased. This makes it possible to provide a storage device having low rewrite voltage or a high rewrite speed, and having a high read speed.

5 Also in Fig. 13, by providing the P type highly-concentrated region 191 in a position adjacent to the source/drain region and on the lower side of the memory function part 161, 162 (that is a position not right under the gate electrode), a threshold value of the entire
10 transistor shows considerable increase. The degree of this increase is extremely larger than that in the case where the P type highly-concentrated region 191 is right under the gate electrode 117. When write electric charges (electrons in the case where the transistor is N channel
15 type) are stored in the memory function parts 161, 162, the difference becomes larger. When enough erase electric charges (holes in the case where the transistor is N channel type) are stored in the memory function part, a threshold value of the entire transistor is decreased down
20 to a value determined by the impurity concentration in the channel region (region 192) under the gate electrode 117. More specifically, the threshold value in the erased state does not depend on the impurity concentration in the P type highly-concentrated region 191, whereas the threshold value
25 in the written state is largely influenced thereby.

Therefore, disposing the P type highly-concentrated region 191 under the memory function parts 161, 162 and adjacent to the source/drain region largely changes the threshold value only in the written state, thereby enabling remarkable increase of memory effect (difference of threshold values in the erased state and the written state).

(Embodiment 6)

A storage device in Embodiment 6 has essentially the same structure as that in Embodiment 1, except that in Embodiment 6, the thickness T1 of the insulating film 141 that separates the memory function part (silicon nitride film 142) from the channel region or the well region is smaller than the thickness T2 of the gate insulating film 114, as shown in Fig. 14.

The gate insulating film 114 has a lower limit of the thickness T2 because of the request for withstand voltage in memory rewrite operations. However, the thickness T1 of the insulating film can be smaller than T2 regardless of the request for withstand voltage.

In the storage device in Embodiment 6, the thickness T1 of the insulating film has high design freedom as stated above because of the following reason. In the storage device in Embodiment 6, the insulating film that

separates the charge holding film from the channel region or the well region is not interposed between the gate electrode 117 and the channel region or well region. Consequently, the insulating film that separates the charge holding film from the channel region or the well region does not receive direct influence from the high electric fields that act upon a region between the gate electrode 117 and the channel region or the well region, but receives influence from relatively weak electric fields expanding from the gate electrode 117 in horizontal direction. As a result, despite the request for withstand voltage to the gate insulating film 114, it becomes possible to make T1 smaller than T2. Contrary to this, for example in EEPROM as typified by flash memory, an insulating film that separates a floating gate from the channel region or the well region is interposed between a gate electrode (control gate) and the channel region or the well region, so that the insulating film receives direct influence from high electric fields of the gate electrode. In EEPROM, therefore, the thickness of the insulating film that separates the floating gate from the channel region or the well region is limited, which hinders optimization of the functions of a memory device.

As is apparent from the above, an essential reason of high freedom of T1 is the fact that the

insulating film that separates the charge holding film from the channel region or the well region in the memory device of Embodiment 6 is not interposed between the gate electrode 117 and the channel region or the well region.

5 Decreasing the thickness T1 of the insulating film facilitates injection of electric charges into the memory function parts 161, 162, decreases voltage for write operations and erase operations, or enables high-speed write operations and erase operations. In addition, since
10 an electric charge amount induced in the channel region or the well region increases when electric charges are stored in the silicon nitride film 142, increased memory effect may be implemented.

 Some electric lines of force in the memory
15 function part, which have a short length, do not pass the silicon nitride film 142 as shown with arrow 184 in Fig. 10. Since electric field strength is relatively large on such a short electric line of force, the electric fields along the electric line of force plays an important role in
20 rewrite operations. By decreasing the thickness T1 of the insulating film, the silicon nitride film 142 moves to the lower side of the Fig. 10, so that the electric line of force shown with the arrow 183 passes the silicon nitride film 142. As a consequence, an effective dielectric
25 constant in the memory function part 161, 162 along the

electric line of force 184 becomes large, which makes it possible to make potential difference between both ends of the electric line of force 184 smaller. Therefore, most part of voltage applied to the gate electrode 117 is used to strengthen the electric fields in the offset region, thereby implementing high-speed write operations and erase operations.

As is clear from the above, the thickness T1 of the insulating film 141 and the thickness T2 of the gate insulating film 114 are defined as $T1 < T2$ so as to decrease voltage in write operations and erase operations or implement high-speed write operations and erase operations, and to enable further increase of memory effect without degrading withstand voltage capability of the memory.

It is noted that the thickness T1 of the insulating film is preferably at least 0.8 nm, which is a limit at which uniformity in manufacturing process or certain level of film quality is maintained and holding characteristics do not suffer extreme deterioration.

More specifically, in the case of a liquid crystal driver LSI which has a severe design rule and requires high withstand voltage, maximum 15 V to 18 V voltage is necessary for driving liquid crystal panel TFTs (thin-film transistors). Eventually, it is not possible to make the gate oxide film thinner. In the case of mounting

nonvolatile memory devices of the present invention as an image adjuster together with other devices on the liquid crystal driver LSI, the memory device of the present invention enables optimum design of the thickness of an insulating film that separates the charge holding film (silicon nitride film 142) from the channel region or the well region independently of the gate insulating film. For example, in a storage device with a gate electrode length (word line width) of 250 nm, T1 and T2 may be separately set like T1=20 nm and T2=10 nm, fulfilling a storage device with good write efficiency. (Short channel effect is not generated even though T1 is larger than that of normal logic transistors, because the source/drain region is offset from the gate electrode.)

(Embodiment 7)

A storage device in this embodiment has essentially the same structure as that in Embodiment 1 except that the thickness T1 of the insulating film (silicon oxide film 141) that separates the charge holding film (silicon nitride film 142) from the channel region or the well region is larger than the thickness T2 of the gate insulating film 114, as shown in Fig. 15.

The gate insulating film 114 has an upper limit of the thickness T2 because of the request for prevention

of short channel effect of the device. However, the thickness T1 of the insulating film 141 is allowed to be larger than T2 regardless of the request for prevention of short channel effect. More specifically, as
5 miniaturization scaling proceeds (the gate insulating film 114 becomes thinner), the thickness T1 of the insulating film (silicon oxide film 141) may be optimally designed independently of the thickness T2 of the gate insulating film, which implements the effect that the memory function
10 parts 161, 162 will not disturb scaling.

In the storage device of Embodiment 7, the thickness T1 of the insulating film has high design freedom as stated above because, as is already described, the insulating film that separates the charge holding film from
15 the channel region or the well region is not interposed between the gate electrode 117 and the channel region or the well region. As a result, despite the request for prevention of short channel effect to the gate insulating film 114, it becomes possible to make the thickness T1 of
20 the insulating film larger than the thickness T2 of the gate insulating film 114.

Increasing the thickness of the insulating film 141 makes it possible to prevent dissipation of the electric charges stored in the memory holding bodies 161,
25 162 and to improve holding characteristics of the memory.

Therefore, setting the thickness T_1 of the insulating film and the thickness T_2 of the gate insulating film 114 as $T_1 > T_2$ enables improvement of holding characteristics without deteriorating short channel effect of the memory.

It is noted that the thickness T_1 of the insulating film is preferably 20 nm or less in consideration of reduction of a rewrite speed.

More specifically, a conventional nonvolatile memory as typified by flash memory is structured such that a selection gate electrode constitutes a write/erase gate electrode, and a gate insulating film (including a floating gate) corresponding to the write/erase gate electrode serves also as an electric charge storage film. Consequently, since the request for miniaturization (creation of thinner devices is essential for restraining short channel effect) conflicts with the request for securing reliability (in order to control leakage of stored electric charges, the thickness of an insulating film that separates a floating gate from the channel region or the well region cannot be decreased to smaller than approx. 7 nm), miniaturization of the device is difficult. In fact, according to ITRS (International Technology Roadmap for Semiconductors), miniaturization of a physical gate length down to approx. 0.2 micron or lower is not yet in sight.

In the storage device of the present invention, independent designing of T1 and T2 is available as described above, and therefore miniaturization becomes possible. In the present invention, for example, in a storage device with a gate electrode length (word line width) of 450 nm, T1 and T2 are
5 separately set as T2=4nm and T1=7nm, fulfilling a storage device free from generation of short channel effect. Short channel effect is not generated even though T2 is set larger than that of normal logic transistors, because the
10 source/drain region 112, 113 is offset, or displaced away from the gate electrode 117. Also, since the source/drain region is offset from the gate electrode in the storage device of the present invention, miniaturization is further facilitated compared to normal logic transistors.

15 As described above, according to the storage device of the present invention, since an electrode for helping write and erase operations is not present above the memory function part, the insulating film that separates the charge holding film from the channel region or the well
20 region does not directly receive the influence of high electric fields that would occur between the electrode helping write and erase operations and the channel region or the well region, but receives influence only from relatively weak electric fields expanding from the gate
25 electrode in horizontal direction. This makes it possible

to fulfill a storage device having the gate length miniaturized more than the gate length of the logic transistors.

5 (Embodiment 8)

Embodiment 8 relates to a method of operating memory devices.

First, the write operation principle of the memory device will be described with reference to Figs. 16 and 17. In these figures, reference numeral 203 denotes a gate insulating film, 204 denotes a gate electrode, WL denotes a word line, BL1 denotes a first bit line, and BL2 denotes a second bit line. The following will describe a case in which a first memory function part 231a and a second memory function part 231b have a function of holding electric charges.

It is noted that the term "write" refers to the action of injecting electrons into the memory function part 231a, 231b when the memory device is of N channel type. In the following description (including description about read method and erase method), it is assumed that the memory device is of N channel type.

In order to inject electrons (write) into the second memory function part 231b, as shown in Fig. 16, a first diffusion layer region 207a (having N-type

conductivity) is set to be a source region and a second diffusion layer region 207b (having N-type conductivity) is set to be a drain region. For example, 0 V may be applied to the first diffusion layer region 207a and the P type well region 202, +5 V to the second diffusion layer region 207b, and +5 V to the gate electrode 204. Under these voltage conditions, an inversion layer 226 extends from the first diffusion layer region 207a (source region) but fails to reach the second diffusion layer region 207b (drain region), resulting in generating a pinchoff point. Electrons are accelerated by high electric fields from the pinchoff point to the second diffusion layer region 207b (drain region) and turn to be so-called hot electrons (high energy conductive electrons). By injecting these hot electrons into the second memory function part 231b, a write operation is executed. It is noted that in the vicinity of the first memory function part 231a, hot electrons are not generated and therefore the write operation is not executed.

In this way, electrons are injected to the second memory function part 231b so as to enable the write operation.

In order to inject electrons (write) into the first memory function part 231a, as shown in Fig. 17, the second diffusion layer region 207b is set to be a source

region, and the first diffusion layer region 207a is set to be a drain region. For example, 0 V may be applied to the second diffusion layer region 207b and the P type well region 202, +5 V to the first diffusion layer region 207a, and +4 V to the gate electrode 204. Thus, by reversing the source and drain regions in the case of injecting electrons into the second memory function part 221b, electrons are injected into the first memory function part 231a for enabling a write operation.

Next, an erase operation principle of the memory device will be described with reference to Figs. 18, 19, and 20.

In a first method for erasing information stored in the first memory function part 231a, as shown in Fig. 18, a positive voltage (e.g., +5 V) is applied to the first diffusion layer region 207a while a voltage of 0 V is applied to the P-type well region 202, reverse bias is applied to the PN junction between the first diffusion layer region 207a and the P-type well region 202, and further, a negative voltage (e.g., -5 V) is applied to the gate electrode 204. At this time, in a portion of the PN junction in the vicinity of the gate electrode 204, the potential gradient is particularly steep due to the influence of the gate electrode 204 to which a negative voltage is applied. As a consequence, hot holes (high-

energy holes) are generated by inter-band tunneling in a portion of the PN junction on the side of the P-type well region 202. The hot holes are pulled toward the gate electrode 204 having a negative potential, as a result of which hole injection to the first memory function part 231a is performed. Thus, an erase operation of the first memory function part 231a is executed. Here, a voltage of 0V is applied to the second diffusion layer region 207b.

For erasing information stored in the second memory function part 231b, potential of the first diffusion layer region 207a and potential of the second diffusion layer region 207b are reversed in the above process. More particularly, a voltage of 0 V is applied to the first diffusion layer region 207a while a voltage of +5 V is applied to the second diffusion layer region 207b.

In a second method for erasing information stored in the first memory function part 231a, as shown in Fig. 19, a positive voltage (e.g., +4 V) is applied to the first diffusion layer region 207a, a voltage of 0 V is applied to the second diffusion layer region 207b, a negative voltage (e.g., -4 V) is applied to the gate electrode 204, and a positive voltage (e.g., +0.8 V) is applied to the P-type well region 202. In this case, forward voltage is applied to between the P-type well region 202 and the second diffusion layer region 207b, so that electrons are injected

into the P-type well region 202. The injected electrons are diffused to the PN junction between the P-type well region 202 and the first diffusion layer region 207a, where the electrons are accelerated by strong electric fields to be hot electrons. The hot electrons generate electron-hole pairs in the PN junction. More specifically, by applying forward voltage to between the P-type well region 202 and the second diffusion layer region 207b, with the electrons injected into the P-type well region 202 being a trigger, hot holes are generated in the PN junction positioned on the opposite side. The hot holes generated in the PN junction are pulled toward the gate electrode 204 having negative potential, as a result of which hole injection into the first memory function part 231a is performed.

According to the second method, even in the case where there is not applied voltage sufficient enough for generating hot holes by interband tunneling in the PN junction between the P-type well region 202 and the first diffusion layer region 207a, the electrons injected from the second diffusion layer region 207b function as a trigger to generate electron-hole pairs in the PN junction so that hot holes are generated. Therefore, voltage in erase operations can be reduced. Particularly in the case where the diffusion layer regions 207a, 207b and the gate electrode 204 are offset with respect to each other, there

is obtained less effect of providing a steep PN junction by the gate electrode 204 with a negative potential applied thereto. Therefore, although generation of hot holes by interband tunneling is difficult, the second method can
5 cover this shortcoming and implement erase operations at low voltage.

It is noted that for erasing information stored in the first memory function part 231a, the first erasing method requires application of a voltage of +5 V to the
10 first diffusion layer region 207a, whereas the second erasing method requires application of only +4 V. As is apparent from the above description, according to the second method, voltage in erase operations can be decreased, which makes it possible to decrease power
15 consumption and restrain deterioration of the storage device due to hot carriers.

In either the first or the second erasing method, the storage device of the present invention hardly suffers excessive erasure. The excessive erasure is a phenomenon
20 that along with increase in a hole amount stored in the memory function part, the threshold is lowered without saturation. This phenomenon is a serious problem of the EEPROM that typifies flash memories, which causes a fatal operational defect in which selection of storage devices is
25 impossible particularly when the threshold becomes

negative. In the storage device of the present invention, a large amount of holes, if stored in the memory function part, only induces electrons under the memory function part and imposes little influence on the potential in the channel region under the gate insulating film. As the threshold in erase operations depends on the potential under the gate insulating film, excessive erasure hardly occurs.

Next, description will be given of the principle of read operation of the memory device referring to Fig. 20.

In the case of reading information stored in the first memory function part 231a, the first diffusion layer region 207a is set to be a source region and the second diffusion layer region 207b is set to be a drain region, as shown in Fig. 20, and the transistor is operated in the saturated region. For example, a voltage of 0 V may be applied to the first diffusion layer region 207a and the P type well region 202, +1.8 V to the second diffusion layer region 207b, and +2 to the gate electrode 204. At this time, if no electron is stored in the first memory function part 231a, drain current tends to flow. In the case where electrons are stored in the first memory function part 231a, an inversion layer is hardly formed in the vicinity of the first memory function part 231a, and so the drain

current does not tend to flow. Therefore, detecting the drain current makes it possible to read information stored in the first memory function part 231a. Here, whether or not electric charges are stored in the second memory function part 231b does not affect the drain current due to the pinchoff in the vicinity of the drain.

In the case of reading information stored in the second memory function part 231b, the second diffusion layer region 207b is set to be a source region, and the first diffusion layer region 207a is set to be a drain region, and the transistor is operated in the saturated region. For example, a voltage of 0 V may be applied to the second diffusion layer region 207b and the p type well region 202, +1.8 V to the first diffusion layer region 207a, and +2 V to the gate electrode 204. Thus, by reversing the source and drain regions in the case of reading information stored in the first memory function part 231a, information stored in the second memory function part 62 is read.

It is noted that if there is a channel region not covered with the gate electrode 204, the presence or absence of excessive electrons in the memory function parts 231a, 231b eliminates or forms the inversion layer in the channel region not covered with the gate electrode 204, as a result of which large hysteresis (change of threshold)

may be obtained. However, if the width of the offset region is too large, the drain current is drastically reduced, thereby causing considerable reduction of a read speed. Therefore, it is preferable to determine the width
5 of the offset region so as to enable obtainment of sufficient hysteresis and read speed.

When the diffusion layer regions 207a, 207b reached the edge of the gate electrode 204, that is, when the diffusion layer regions 207a, 207b and the gate
10 electrode 204 were overlapped, the write operation caused almost no change to a threshold of the transistor, though parasitic resistance at the edge of the source/drain regions suffers considerable change (by one digit or more), resulting in remarkable reduction of the drain current (one
15 digit or more). This indicates that detection of the drain current enables read operations and that the transistor provides a function as a memory. However, if a larger memory hysteresis effect is required, it is preferable that the diffusion layer regions 207a, 207b and the gate
20 electrode 204 are not overlapped with each other.

In the above-stated operation method, selective write and erase operations of 2-bit information per transistor become possible. Also, by arraying the storage devices with word lines WL connected to the gate electrodes
25 204 of the storage devices, with bit lines BL1 connected to

the first diffusion layer regions 207a, with bit lines BL2 connected to the second diffusion layer regions 207b, a memory cell array is constituted.

Further in the above erase operation, writing and
5 erasing of 2-bit information per transistor are achieved by reversing the source region and the drain region. However, the storage device may be operated as a 1-bit memory with the source and drain regions being fixed. In such a case, it becomes possible to set the voltage of one of the
10 source/drain regions as a common fixed voltage, which makes it possible to reduce the number of bit lines connected to the source/drain regions by half.

According to the storage device of the present embodiment, as is apparent from the above description, the
15 memory function parts 231a, 231b are formed on both sides of the gate electrode 204, independently of the gate insulating film 203. This makes it possible to execute two-bit operations. Further, since the memory function parts 231a, 231b are separated by the gate electrode 204,
20 interference during rewrite operations is effectively controlled. Also, since the memory function parts 231a, 231b are separated by the gate electrode 204, it is possible to decrease the thickness of the gate insulating film 203 to thereby restrain the short channel effect.

Consequently, it becomes possible to miniaturize the device.

(Embodiment 9)

5 This Embodiment 9 relates to changes of electrical characteristics when a rewrite operation is performed in the storage device of the present invention.

10 Fig. 21 shows characteristics of a drain current, I_d , vs. a gate voltage, V_g , (measured values) when the electric charge amount in the memory function part of an N-channel type memory device changes. In Fig. 21, a solid line curve indicates a relation between the drain current, I_d , and the gate voltage, V_g , in an erased state and a dotted line curve indicates a relation between the drain current, I_d , and the gate voltage, V_g , in a programmed or
15 written state.

20 As clearly shown in Fig. 21, when a write operation is performed in the erased state (a state indicated by the solid line), not only the threshold value simply rises, but a slope of the graph dramatically decreases especially in a sub-threshold region. Therefore, even in a region with relatively high gate voltage (V_g), a ratio of a drain current in the erased state to a drain current in the written state is large. For example, at the
25 point of $V_g=2.5V$, the current ratio is still two digits or

more. This characteristic is largely different from that in the case of an EEPROM (Fig. 22). In Fig. 22, a solid line curve indicates a relation between a logarithm of the drain current, $\text{Log}(I_d)$, and the gate voltage, V_g , in an erased state and a dotted line curve indicates a relation between a logarithm of the drain current, $\text{Log}(I_d)$, and the gate voltage, V_g , in a programmed, or written state.

The emergence of the above characteristics is a phenomenon peculiar to the case where the gate electrode and the diffusion regions are offset from each other and therefore the gate electric fields hardly reach the offset regions. When a storage device is in the written state, it is extremely difficult for an inversion layer to be generated in the offset region below the memory function part even if a positive voltage is applied to the gate electrode. This causes the small slope of the I_d - V_g curve line in the sub-threshold region in the written state as shown in Fig. 21. When the storage device is in the erased state, high-density electrons are induced in the offset region. Further, while a voltage of 0 V is applied to the gate electrode (i.e., in an OFF state), electrons are not induced in the channel below the gate electrode (so that an off current is small). This causes a large slope of the I_d - V_g curve line in the sub-threshold region in the erased

state and a large increase rate of current (conductance) even in an over-threshold region.

As is clear from the above description, the storage device of the present invention makes it possible to make the drain current ratio of the erased state to the written state particularly large.

The following description discusses examples of an IC card having the storage devices as defined in Embodiments 1 to 7.

(Embodiment 10)

An IC card of Embodiment 10 will be described with reference to Fig. 1 and Fig. 2. Fig. 1 is a view showing the structure of the IC card. Fig. 2 is a circuit diagram showing an example of a memory cell array of storage devices for use in the IC card.

In Fig. 1, there are shown an IC card 1, an MPU 501, a connection portion 502, a data memory portion 503, an operation portion 504, a control portion 505, a ROM 506, a RAM 507, a line 508, and a reader/writer 509. The IC card of Embodiment 10 has a general structure similar to that of the conventional IC card shown in Fig. 24, and therefore description thereof is omitted.

The IC card of Embodiment 10 is different from the conventional IC card of Fig. 24 in the point that in

the data memory portion 503, storage devices that allow miniaturization and therefore enable reduction of manufacturing costs, that is, the storage devices according to any of Embodiments 1-7 are used.

5 In the case where the data memory portion having the storage devices and the logic portion having common logic transistors are incorporated in one chip, an effect of reducing manufacturing costs of the IC card of the present invention becomes still larger since the process
10 for fabricating the storage devices and the ordinary logic transistors in a mixed manner is extremely easy. Following description discusses easiness of the process for fabricating the storage devices and the ordinary logic transistors in a mixed manner.

15 Each of the storage devices may be formed through the same process as the ordinary logic transistors. As one example, description will be given of the procedure of forming the storage device shown in Fig. 5. First, in a known procedure, a gate insulating film 114 and a gate
20 electrode 117 are formed on a semiconductor substrate 111. Next, on the entire surface of the semiconductor substrate 111, a silicon oxide with a film thickness of 0.8 to 20 nm, more preferably with a film thickness of 3 to 10 nm is formed by thermal oxidation method or deposited by CVD
25 (Chemical Vapor Deposition) method. Next, on the entire

surface of the silicon oxide, a silicon nitride with a film thickness of 2 to 15 nm, more preferably with a film thickness of 3 to 10 nm is deposited by CVD method. Further, on the entire surface of the silicon nitride, a silicon oxide with a thickness of 20 to 70nm is deposited by CVD method.

Next, the silicon oxide, the silicon nitride and the silicon oxide are etched back by anisotropic etching, by which memory function parts optimum for storage are formed on each of the opposite side surfaces of the gate electrode like sidewall spacers.

After that, with the gate electrode 117 and the sidewall spacer-like memory function parts being used as masks, ions are injected so as to form diffusion layer regions (source/drain regions) 112, 113. Then, in a known procedure, a silicide process and an upper interconnect process may be performed.

As is clear from the above procedures, the procedure for forming the storage device is extremely high in affinity with the general process for forming standard logic transistors. The transistors that constitutes the standard logic portion generally have the structure shown in Fig. 23. The transistor 7 shown in Fig. 23 is composed of the following components: a semiconductor substrate 311; a gate insulating film 312; a gate electrode 313; sidewall

spacers 314 made of an insulating film; a source region 317; a drain region 318; and LDD (Lightly Doped Drain) regions 319. The above structure is close to the structure of the storage device. All what is required for changing the transistor that constitutes the standard logic portion to the storage device is, for example, to impart a function as a memory function part to the sidewall spacers 314 and to remove the LDD regions 319. More specifically, what is required is to change the constitution of the sidewall spacers 314 to the constitution identical to, for example, memory function parts 161, 162 of Fig. 5. Herein, the ratio of the film thickness of the silicon oxides 141, 143 to the film thickness of the silicon nitride 142 is selected such that the storage device adequately operates. Even if the film composition of the sidewall spacers 314 of the transistor 7 that constitutes the standard logic portion is identical to that of the memory function parts 161, 162 of Fig. 5, transistor performance is prevented from being damaged as long as an adequate width of the storage device sidewall spacer (that is, a total film thickness of the silicon oxides 141, 143 and the silicon nitride 142) is selected and the transistor is operated in such a voltage range that does not cause rewrite operations. Also, for placing the transistors that constitute the standard logic portion and the storage

devices in a mixed manner, it is further necessary not to form the LDD structure in the storage device portion. For forming the LDD structure, impurities are injected after the gate electrode is formed and before the memory function parts (storage cell sidewall spacers) is formed. Therefore, in injecting impurities for forming the LDD structure, only masking the storage device areas with a photo resist is required, so that the storage devices and the transistors that constitutes the standard logic portion are easily fabricated in a mixed manner. Further, structuring an SRAM from transistors same as those that constitute the standard logic portion enables easy mixed placement of a nonvolatile memory, a logic circuit and an SRAM (Static Random Access Memory).

In the case where it is necessary to apply to the storage device section a voltage higher than a voltage applied to the standard logic portion, all what is required is to add a high pressure-resistant well-forming mask and a high pressure-resistant gate insulating film-forming mask to a standard logic forming mask. The forming process of an EEPROM that is widely used in conventional IC cards is considerably different from that of the standard logic. Consequently, compared to the conventional case where the EEPROM is used as a nonvolatile memory and placed together with the logic circuit, according to the present invention,

it becomes possible to dramatically decrease the number of masks and the number of processes. This increases yields of chips in which the logic circuit and the nonvolatile memory are placed together, thereby implementing cost reduction.

According to the storage devices of the present invention, the memory function parts are formed independently of the gate insulating film and placed on both sides of the gate electrode. This enables two-bit operations. Further, since each of the memory function parts is separated by the gate electrode, interference in rewrite operations is effectively restrained. Also, since a memory function implemented by the memory function part and a transistor operation function implemented by the gate insulating film are independent from each other, it becomes possible to make the gate insulating film thinner to control the short channel effect. This facilitates miniaturization of the storage devices.

Fig. 2 is a circuit diagram of one example of a memory cell array structured by arraying the storage devices. In Fig. 2, reference symbol W_m represents an m th word line (thus W_1 represents a first word line), B_{1n} represents an n th first bit line, B_{2m} represents an m th second bit line, and M_{mn} represents a memory cell connected to the m th word line (the m th second bit line) and the n th

first bit line. Without being limited to the above configuration, the memory cell array may also be configured such that the first bit lines and the second bit lines are disposed in parallel or that all the second bit lines are
5 connected together into a common source line.

Since the above memory cells are easy to miniaturize and allow two-bit operations, it also becomes possible to reduce an area of the memory cell array in which the storage devices are arrayed. This leads to cost
10 reduction of the memory cell array. Use of this memory cell array in the data memory portion 503 of the IC card enables cost reduction of the IC card.

It is noted that the ROM 506 may be composed of the storage devices. This makes the ROM 506 storing a
15 program for driving the MPU 501 rewritable from the outside, which achieves significant improvement of the functions of the IC card. Since the above storage device is easy to miniaturize and allows two-bit operations, substituting the storage device for the mask ROM hardly
20 causes increase of a chip area. Also, the process for forming the storage device is almost the same as the general CMOS forming process, which facilitates mixed-placing of the storage devices with the logic circuit portion.

Like the storage device shown in Fig. 5 for example, the memory function part of the storage device for use in the IC card of the present invention preferably has a sandwich structure in which a film composed of a first insulator for storing electric charges is sandwiched between a film composed of a second insulator and a film composed of a third insulator. Here, it is particularly preferable that the first insulator is a silicon nitride, and the second and the third insulators are silicon oxides. The storage device having such a memory function part enables high-speed rewrite operations and has high reliability and sufficient holding characteristics. Therefore, using such storage devices in the IC card of the present invention makes it possible to increase the operation speed of the IC card and to improve reliability.

Also, it is preferably to use the storage devices of Embodiment 6 as the storage devices for use in the IC card of the present invention. More specifically, it is preferable that a thickness (T_1) of an insulating film that separates a charge holding film (silicon nitride 142) and the channel region or the well region is smaller than a thickness (T_2) of the gate insulating film and equal to or more than 0.8 nm. A write operation or erase operation of such a storage device is executed at low voltage, or the write operation or the erase operation is executed at high

speed. Further, a memory effect of the storage device is large. Therefore, using such a storage device in the IC card of the present invention makes it possible to decrease the supply voltage of the IC card or to increase the operation speed.

Also, it is preferable to use the storage devices of Embodiment 7 in the IC card of the present invention. More specifically, it is preferable that a thickness (T1) of an insulating film that separates a charge holding film (silicon nitride 142) and the channel region or the well region is larger than a thickness (T2) of the gate insulating film and equal to or less than 20 nm. Such a storage device is capable of improving holding characteristics without intensifying the short channel effect of the storage device, which makes it possible to obtain sufficient memory holding capability while high integration being made. Therefore, using such a storage device in the IC card of the present invention makes it possible to increase storage capacity of the data memory portion so as to improve its functions or to reduce manufacturing costs thereof.

Also, the storage devices for use in the IC card of the present invention are preferably structured such that, as described in Embodiment 1, the regions (silicon nitride 142) for holding charges in the memory function

parts 161, 162 are each overlapped with the diffusion layer regions 112, 113. Such storage devices are capable of obtaining sufficiently high read speed. Therefore, using such storage devices in the IC card of the present invention makes it possible to increase operating speed of the IC card.

Also, the storage devices for use in the IC card of the present invention are preferably structured such that, as described in Embodiment 1, the memory function part includes a charge holding film that is disposed in approximate parallel with the surface of the gate insulating film. Such a structure enables restraint of memory effect dispersion among the storage devices, so that dispersion of read current may be controlled. Further, characteristic change of the storage device during memory holding may be decreased, and so the memory holding characteristics are improved. Therefore, using such a storage device in the IC card of the present invention makes it possible to improve reliability of the IC card.

Also, the storage device for use in the IC card of the present invention is preferably structured such that, as described in Embodiment 2, that the memory function part includes a charge holding film that is disposed in approximate parallel with the surface of the gate insulating film, and also includes a portion extending

in approximate parallel with a lateral surface of the gate electrode. Such a storage device enables high-speed rewrite operations. Therefore, using such a storage device in the IC card of the present invention makes it possible
5 to increase the operation speed of the IC card.

(Embodiment 11)

An IC card of Embodiment 11 will be described with reference to Fig. 3.

10 The structure of the IC card 2 of Fig. 3 is different from the structure of the IC card 1 in that the MPU 501 and the data memory portion 503 are formed in one semiconductor chip so as to constitute an MPU 510 with the data memory portion being incorporated therein.

15 As already described in connection with Embodiment 1, the forming process of the storage devices that constitute the data memory portion 503 is much alike the forming process of the devices that constitute the logic circuit portion (the operation portion 504 and the
20 control portion 505) of the MPU 510, which enables extremely easy mixed-placing of the devices of both types. If the data memory portion 503 is incorporated in the MPU 510 and both of them are formed on one chip, considerable cost reduction of the IC card becomes possible. Here,
25 using the above-mentioned storage devices in the data

memory portion 503 achieves remarkable simplification of the fabrication process, compared with the case of using EEPROMs for example. Therefore, forming the MPU portion and the data memory portion in one chip makes it possible to obtain particularly large cost reduction effect.

It is noted that as with the case of Embodiment 1, the ROM 506 may be structured from the above-mentioned storage devices. This makes it possible to externally rewrite the ROM 506 storing a program for driving the MPU 510, which brings about remarkable increase of the functions of the IC card. Since the above storage device is easy to miniaturize and allows two-bit operations, substituting the storage devices for the mask ROM hardly causes increase of a chip area. Also, the process for forming the storage device is almost the same as the general CMOS forming process, which facilitates mixed-placing of the storage device with the logic circuit portion.

(Embodiment 12)

An IC card of Embodiment 12 will be described with reference to Fig. 4.

The IC card 3 of Fig. 4 is different from the IC card 2 in the point that the IC card 3 is of non-contact type. Consequently, the control portion 505 is connected

not to the connection portion but to an RF interface portion 511. The RF interface portion 511 is further connected to an antenna portion 512. The antenna portion 512 has functions of communicating with an external apparatus and of collecting current. The RF interface portion 511 has a function of commutating high-frequency signals transmitted from the antenna portion 512 and feeding power, and a function of modulating and demodulating signals. It is noted that the RF interface portion 511 and the antenna portion 512 may be placed together with the MPU 510 in one chip.

Since the IC card 3 of the present embodiment is of non-contact type, it becomes possible to prevent electrostatic destruction through the connection portion. Also, it is not necessarily necessary to have a close contact with an external apparatus, which makes freedom of applications large. In addition, the storage devices constituting the data memory portion 503 each operate at low supply voltage (approx. 9V), compared with conventional EEPROMs (supply voltage of approx. 12V), as described in detail in connection with Embodiment 8, which enables downsizing of the circuit of the RF interface portion 511 and enables cost reduction.

CLAIMS

1. An IC card comprising:

a data memory portion (503) having a plurality of
5 storage devices (M11, ..., Mmn), said data storage devices
(M11, ..., Mmn) each comprising:

a semiconductor substrate (111), a well region
(202) provided in a semiconductor substrate, or a
semiconductor film (187) disposed on an insulator (188);

10 a gate insulating film (114, 203) formed on the
semiconductor substrate (111), the well region (202)
provided in the semiconductor substrate, or the
semiconductor film (187) disposed on the insulator (188);

15 a single gate electrode (117, 204) formed on the
gate insulating film (114, 203);

two memory function parts (161, 162, 162a, 231a,
231b) formed on opposite sides of the single gate electrode
(117, 204);

20 a channel region disposed under the single gate
electrode (117, 204); and

diffusion layer regions (112, 113, 207a, 207b)
disposed on both sides of the channel region, wherein

the storage devices are each structured so as to
change a current amount flowing from one of the diffusion
25 layer regions to the other of the diffusion layer regions

when voltage is applied to the gate electrode, by an amount of electric charges stored in the memory function parts or by polarization vector.

5 2. The IC card as defined in Claim 1, further comprising:

 a logic portion (504).

10 3. The IC card as defined in Claim 2, further comprising:

 communication means (502, 512) for communicating with an external apparatus (509); and

15 collecting means (511) for converting electromagnetic waves applied from outside to electric power.

20 4. The IC card as defined in Claim 2, wherein the data memory portion (503) and the logic portion (504) are formed in one chip.

5. The IC card as defined in Claim 2, wherein the logic portion (504) includes a storage means (506) for storing a program that defines operation of the logic portion (504),

the storage means (506) is rewritable from outside, and

the storage means (506) includes storage devices having a constitution identical to a constitution of the storage devices (M11, ... Mmn) of the data memory portion.

6. The IC card as defined in Claim 1, wherein two-bit information is stored in each of the storage devices (M11, ... Mmn).

7. The IC card as defined in Claim 1, wherein the memory function parts (161, 162, 162a, 231a, 231b) each have a first insulator, a second insulator, and a third insulator,

the memory function parts (161, 162, 162a, 231a, 231b) each have a structure in which a film (142, 142a, 142b) composed of the first insulator having a function of storing electric charges is interposed between the second insulator and the third insulator,

the first insulator is silicon nitride, and the second and third insulators are silicon oxide.

8. The IC card as defined in Claim 7, wherein

a thickness (T1) of a film (141) composed of the second insulator on the channel region is smaller than a thickness (T2) of the gate insulating film (114, 203) and is 0.8 nm or more.

5

9. The IC card as defined in Claim 7, wherein
a thickness (T1) of a film (141) composed of the second insulator on the channel region is larger than a thickness (T2) of the gate insulating film (114, 203) and
10 is 20 nm or less.

10

10. The IC card as defined in Claim 7, wherein
the film (142, 142a, 142b) composed of the first insulator having a function of storing electric charges
15 includes a portion (181) having a surface that is approximately parallel to a surface of the gate insulating film (114, 203).

15

11. The IC card as defined in Claim 10, wherein
20 the film (142, 142a, 142b) composed of the first insulator having a function of storing electric charges includes a portion (182) extending in a direction approximately parallel to a lateral side of the gate electrode (117, 204).

20

25

12. The IC card as defined in Claim 1, wherein
at least part of each memory function part (161,
162, 162a, 231a, 231b) is formed so as to overlap the
corresponding diffusion layer region.

ABSTRACT OF THE DISCLOSURE

An IC card includes a data memory portion (503) having a plurality of storage devices. The data storage devices
5 each has: a semiconductor substrate, a well region provided in a semiconductor substrate, or a semiconductor film disposed on an insulator; a gate insulating film formed on the semiconductor substrate, the well region provided in the semiconductor substrate, or the semiconductor film
10 disposed on the insulator; a single gate electrode formed on the gate insulating film; two memory function parts formed on opposite sides of the single gate electrode; a channel region disposed under the single gate electrode; and diffusion layer regions disposed on both sides of the
15 channel region. Incorporating a memory using the storage devices, which allow further miniaturization, provides an IC card at low cost.

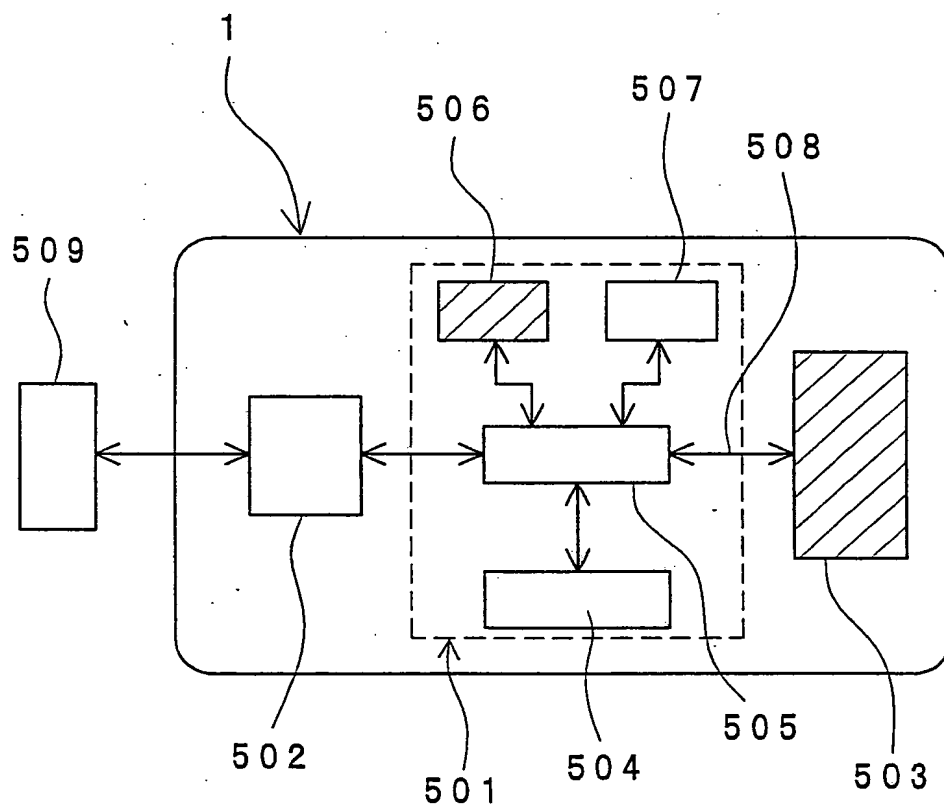
Fig. 1

Fig. 2

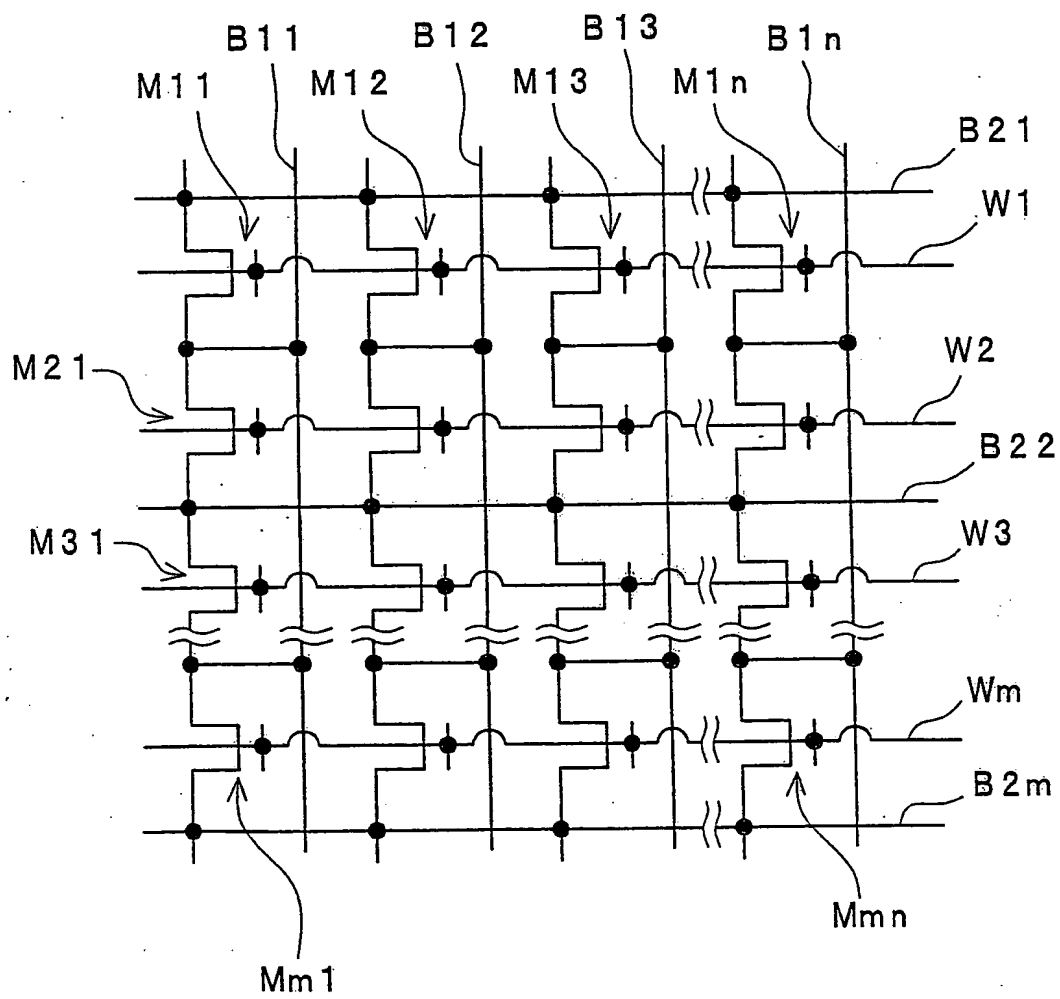


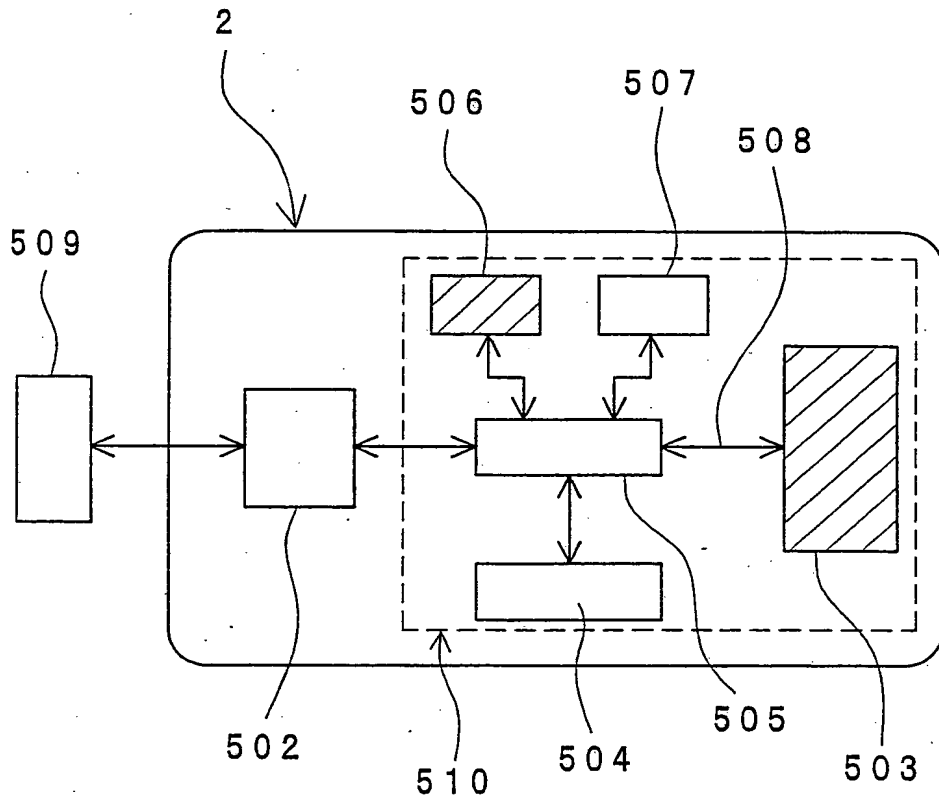
Fig. 3

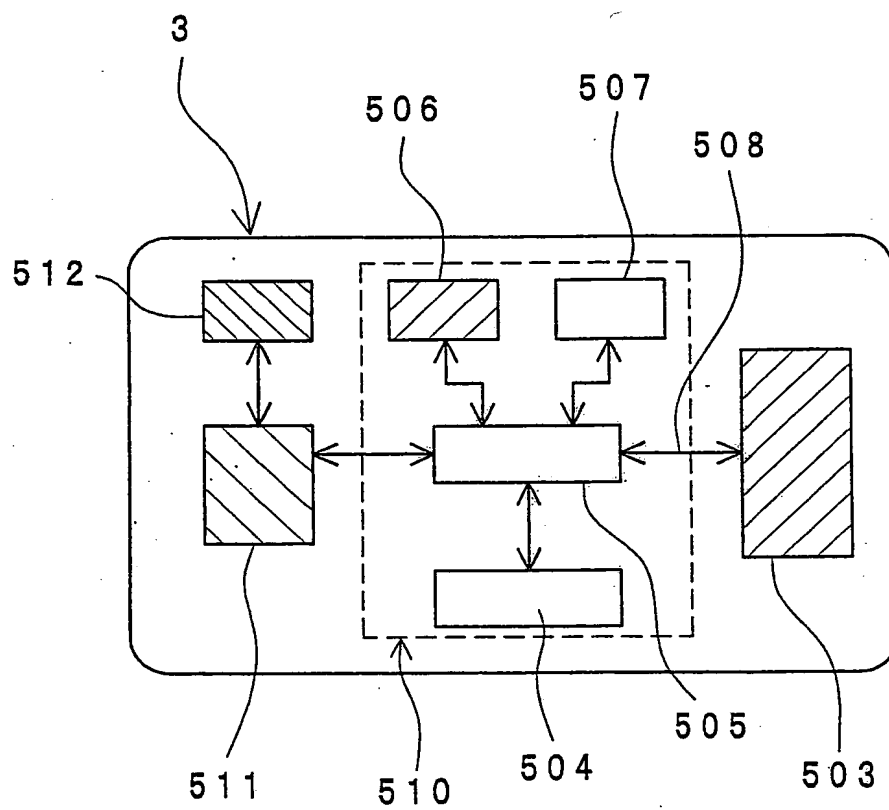
Fig. 4

Fig. 5

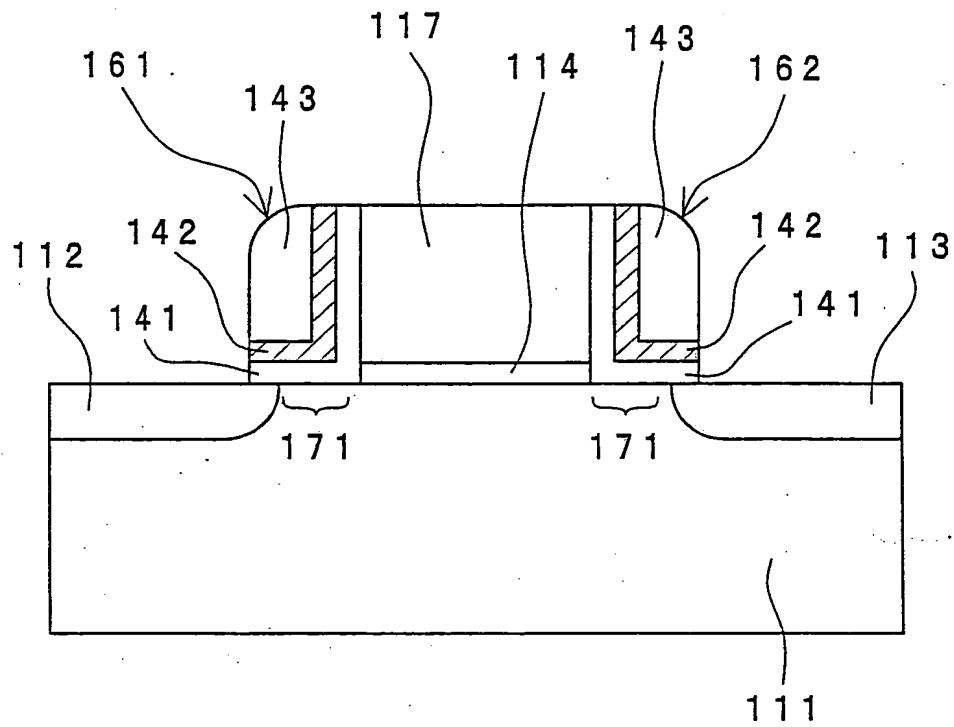


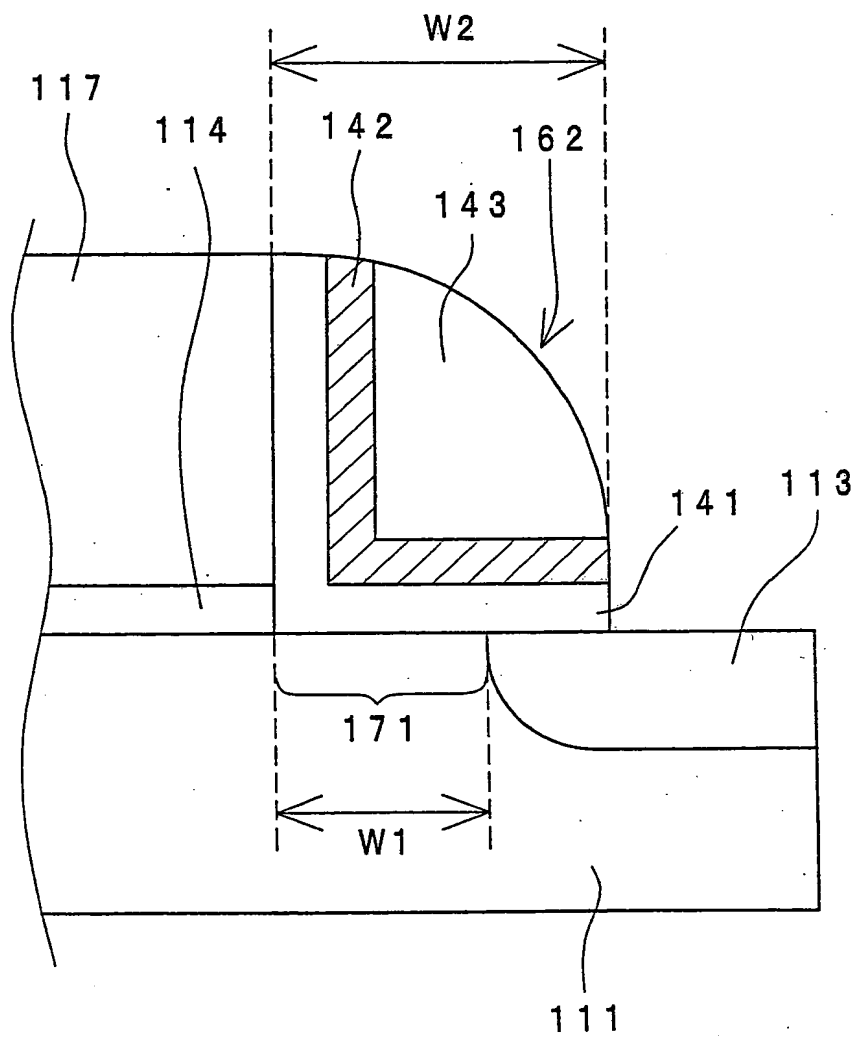
Fig. 6

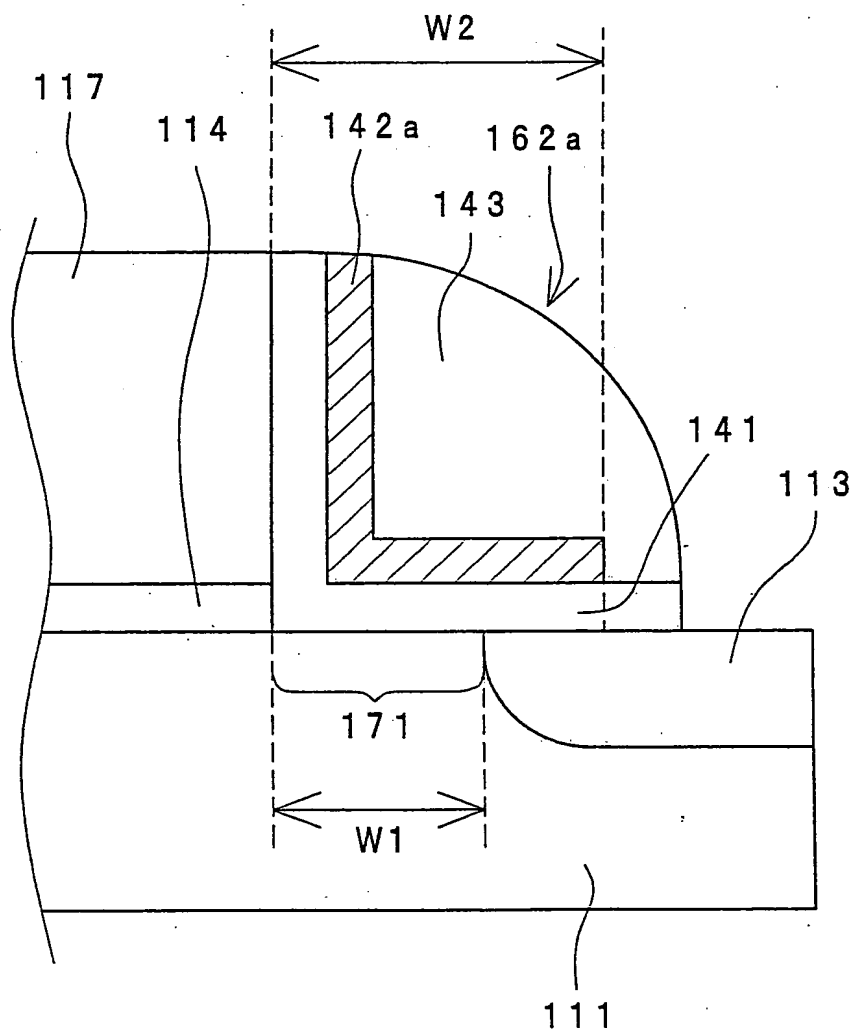
Fig. 7

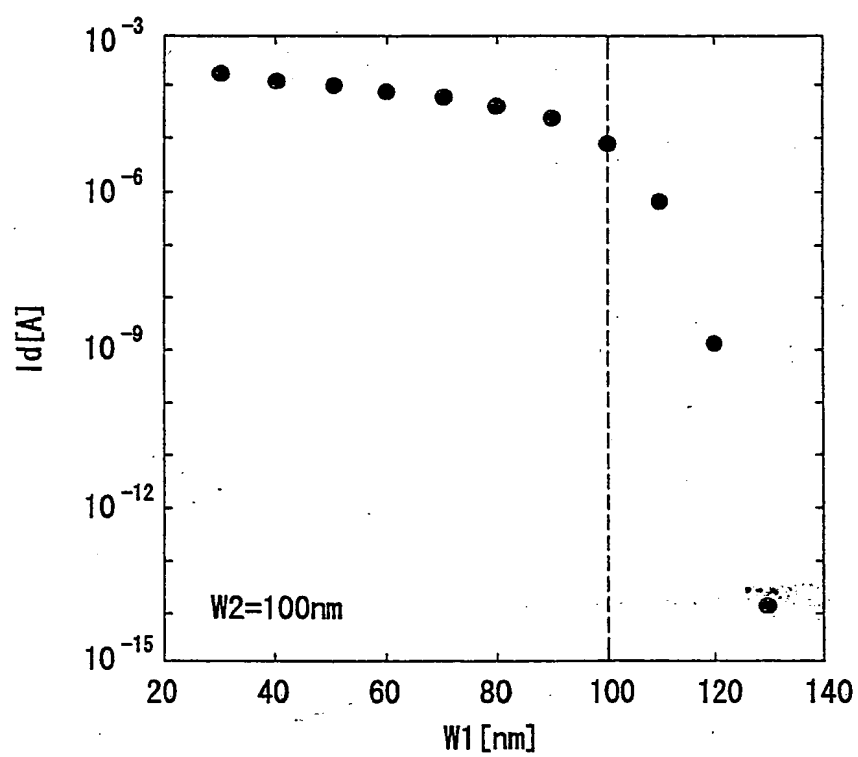
Fig. 8

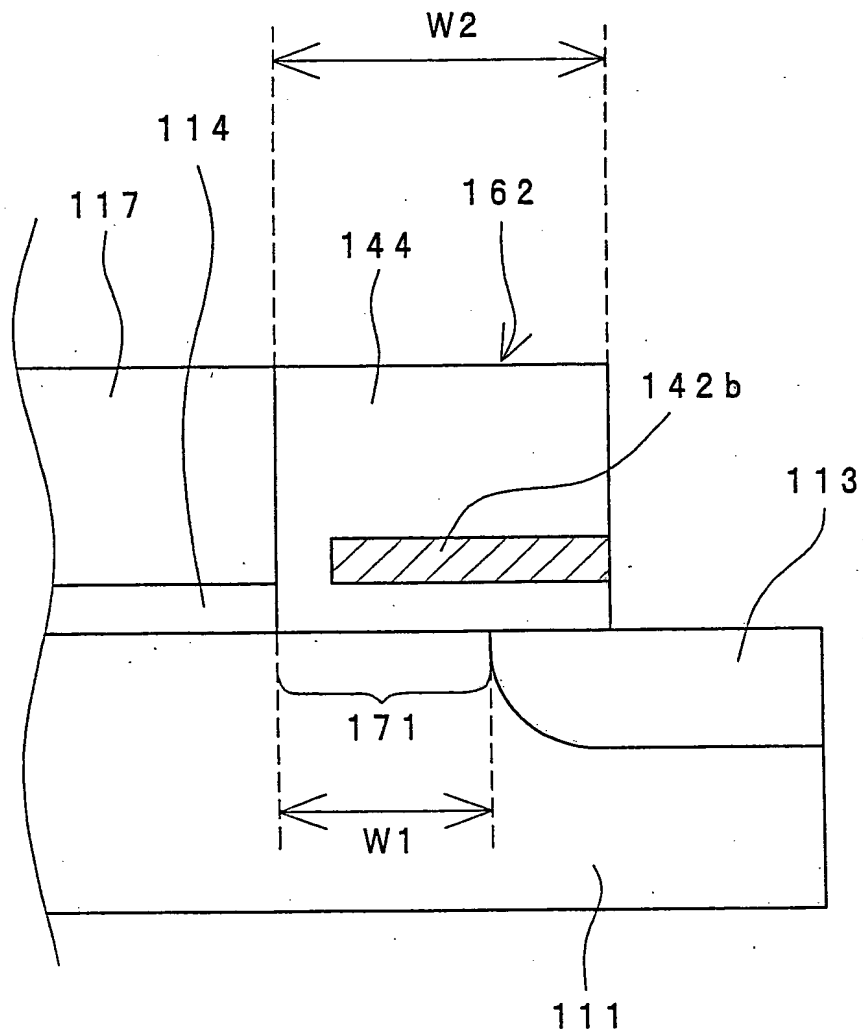
Fig. 9

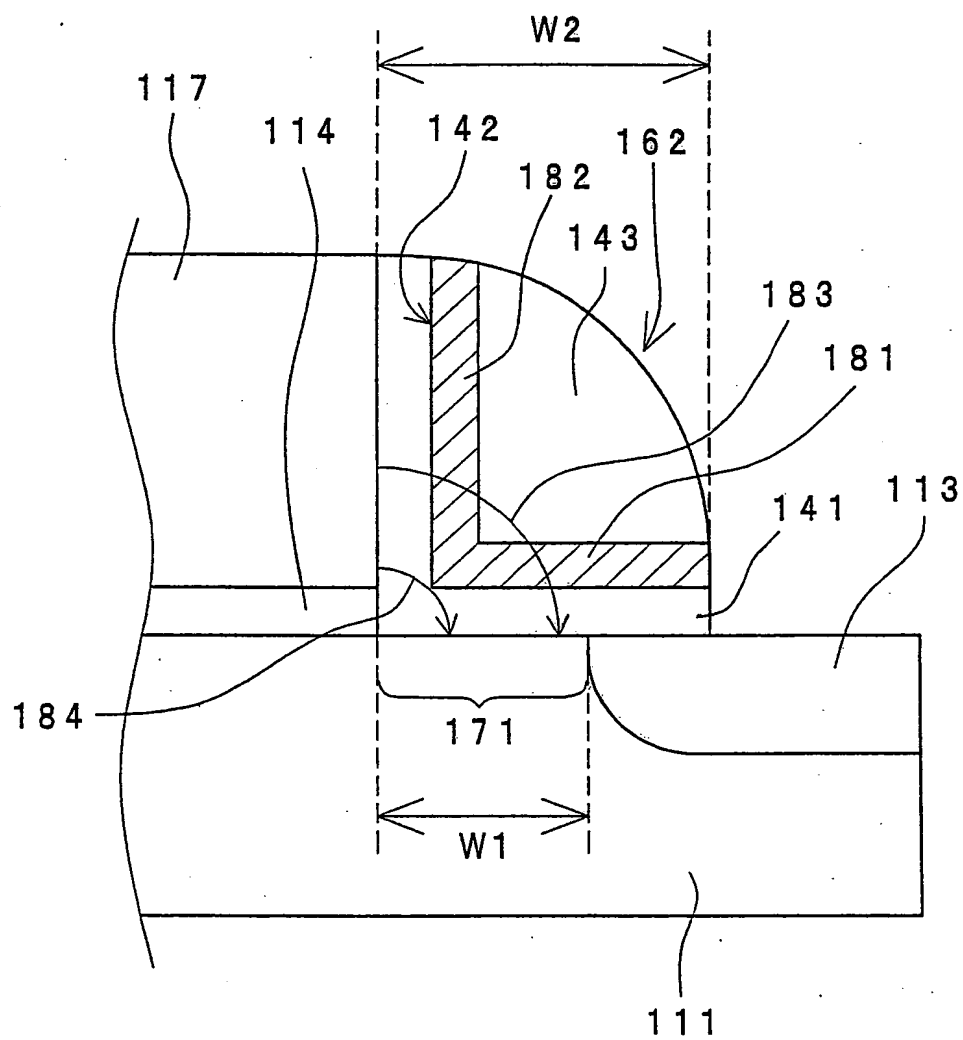
Fig. 10

Fig. 13

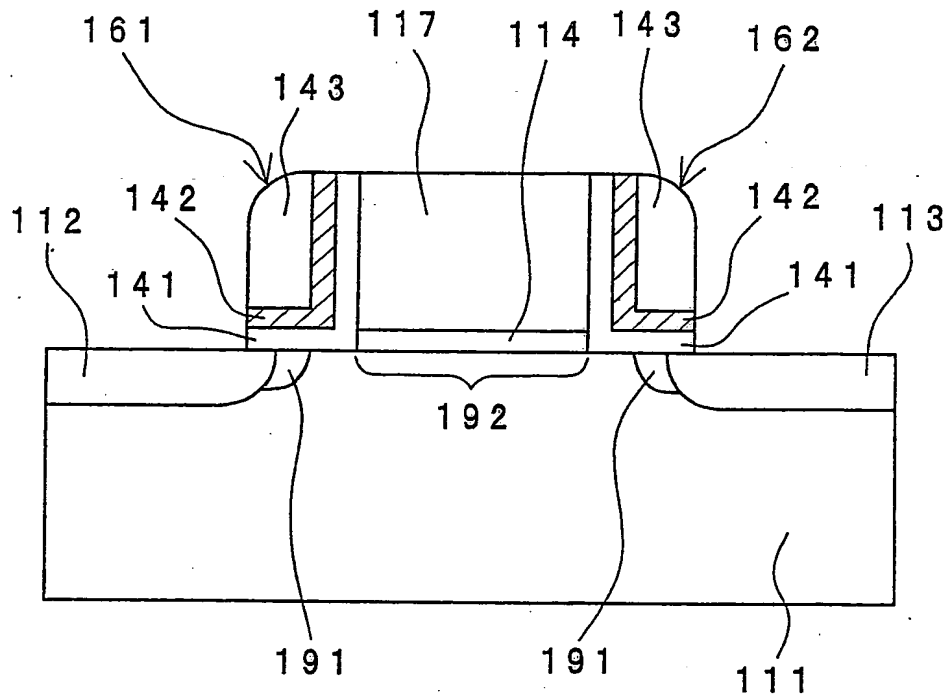


Fig. 14

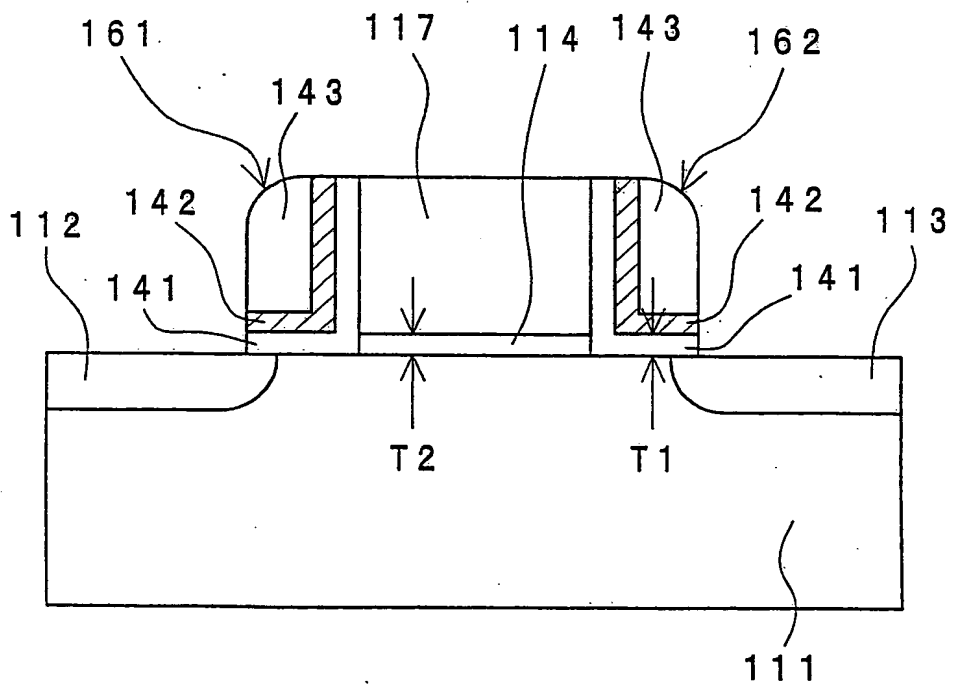


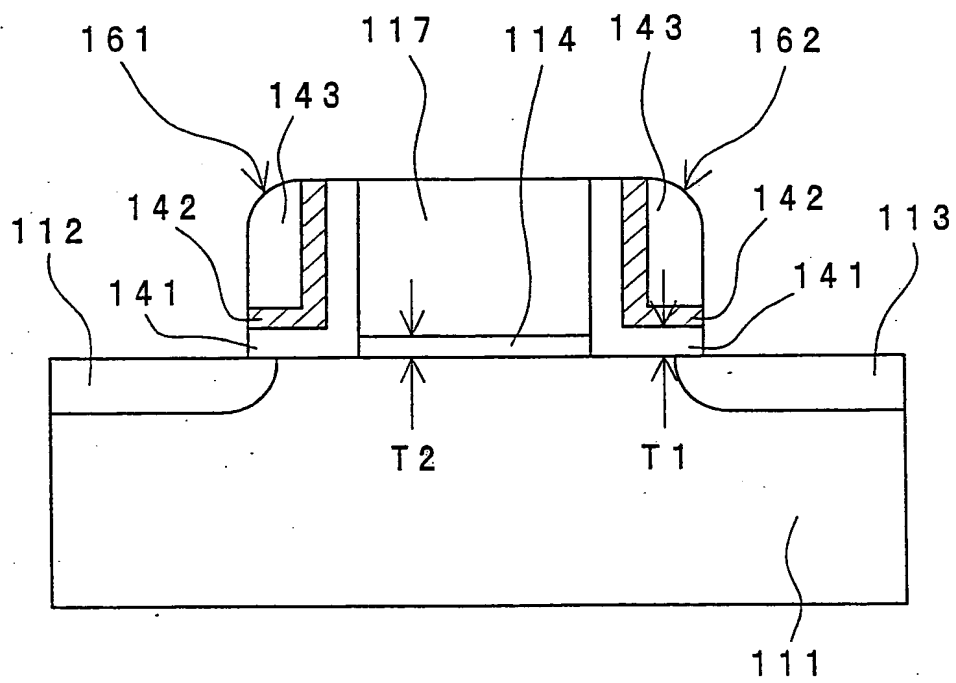
Fig. 15

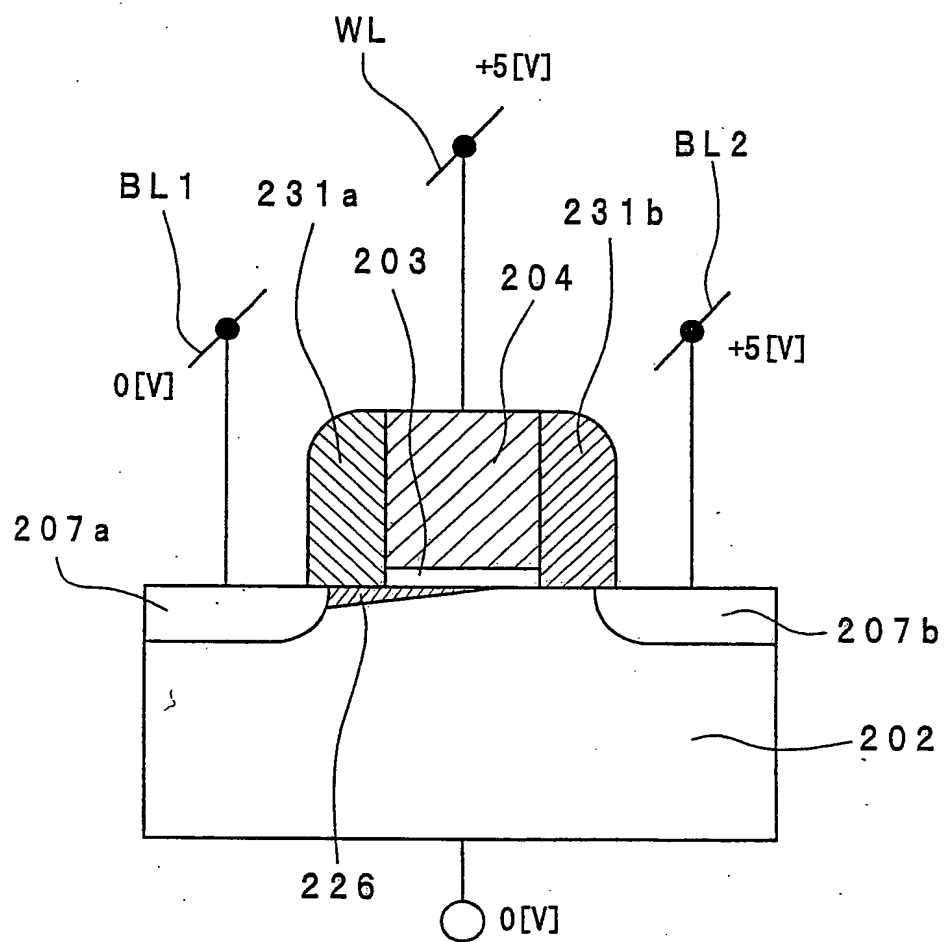
Fig. 16

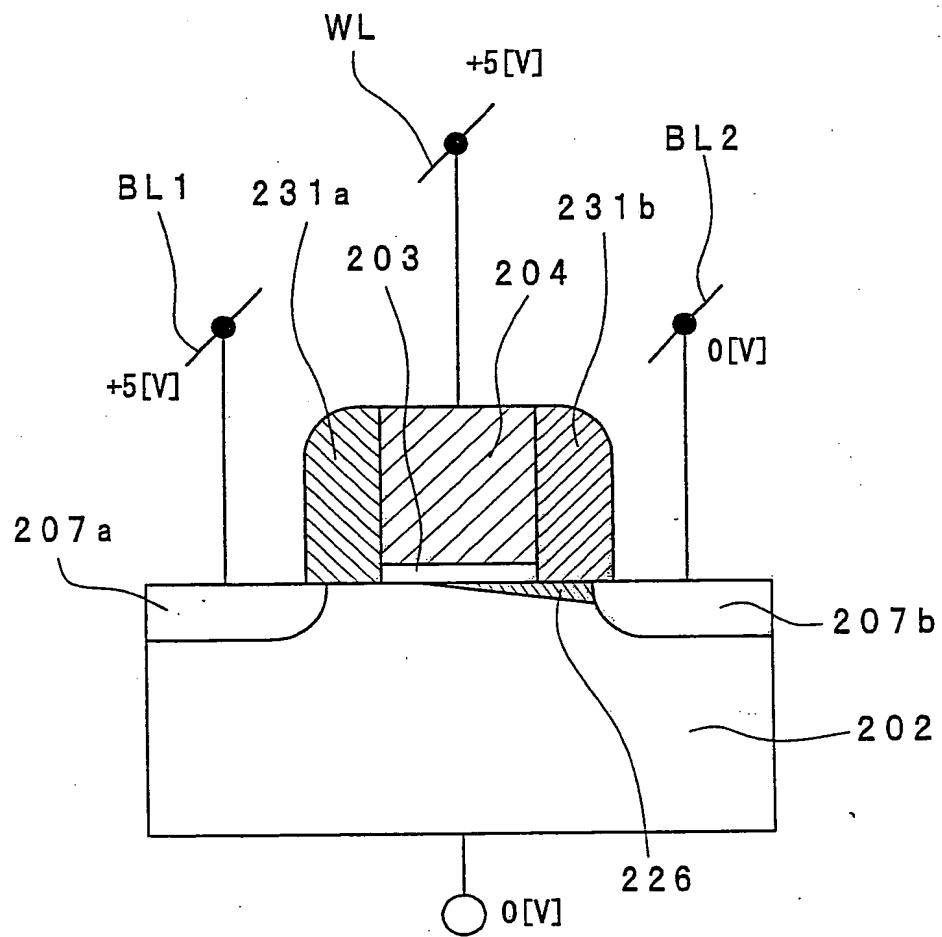
Fig. 17

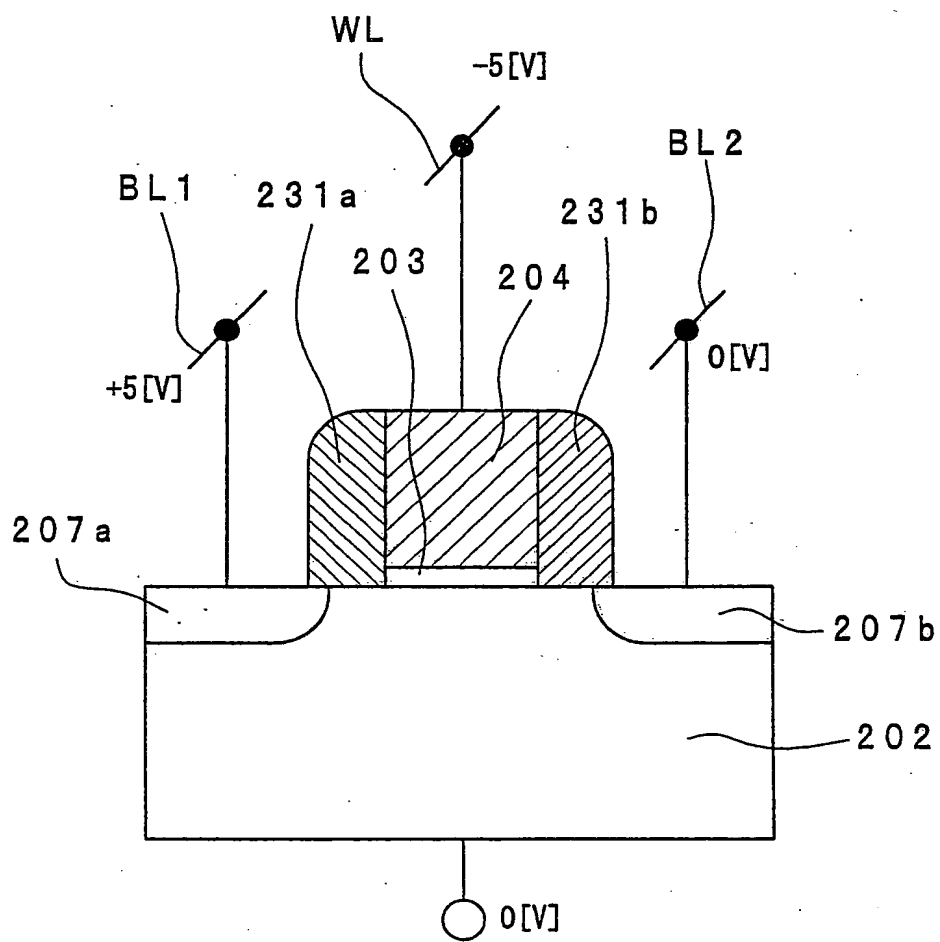
Fig. 18

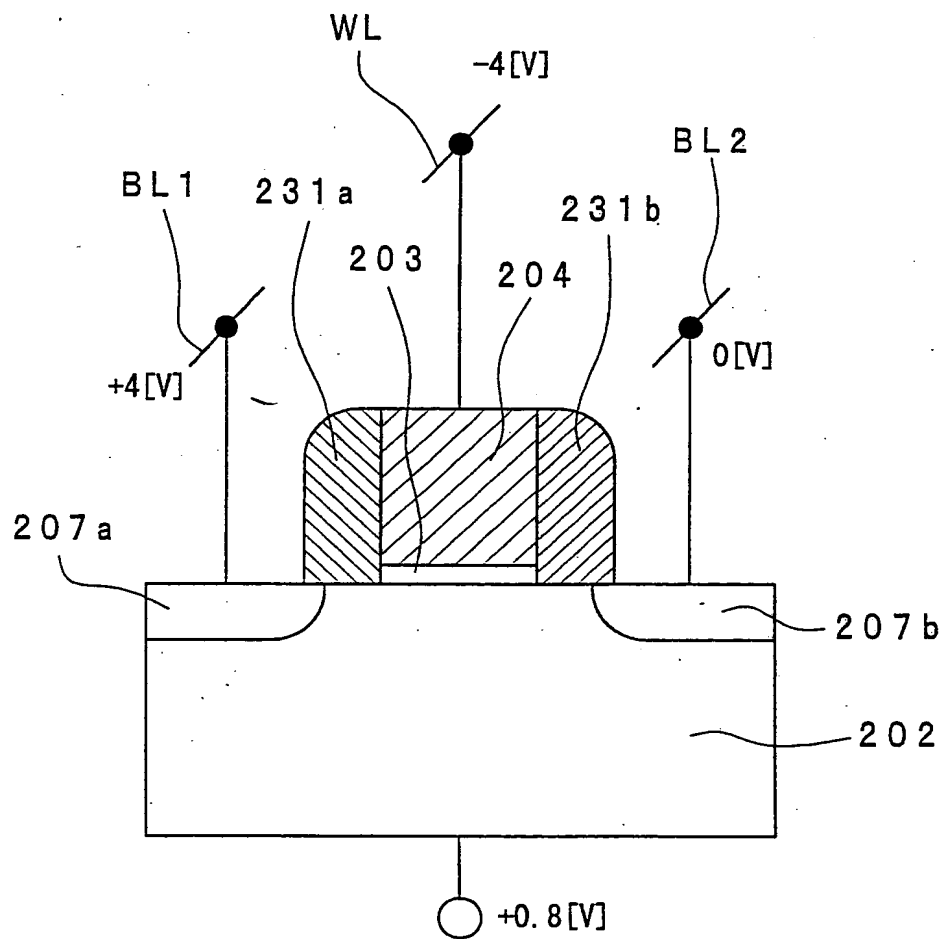
Fig. 19

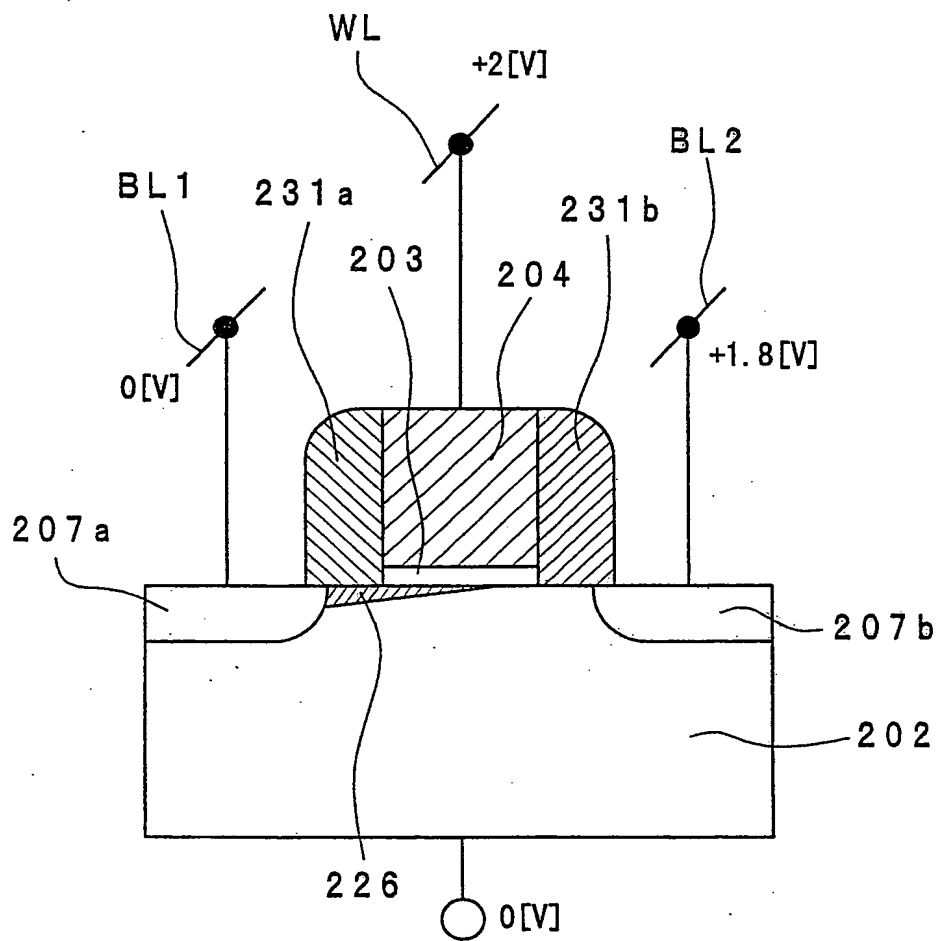
Fig. 20

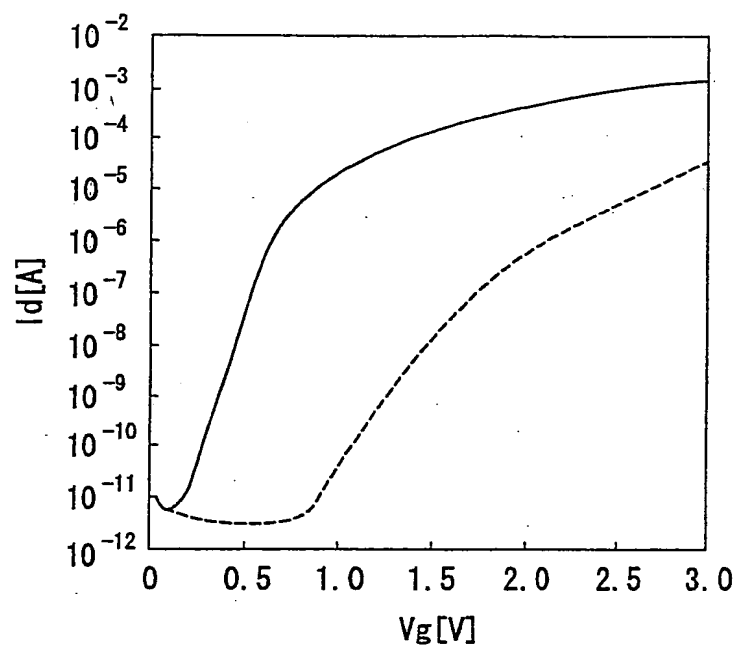
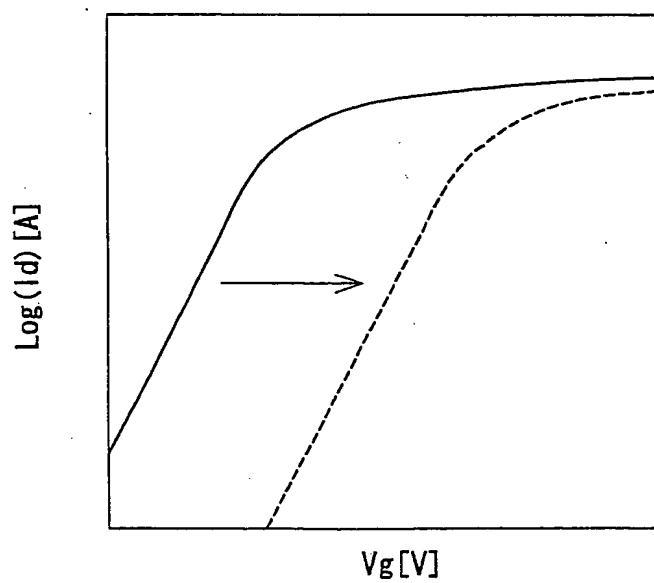
Fig. 21*Fig. 22*

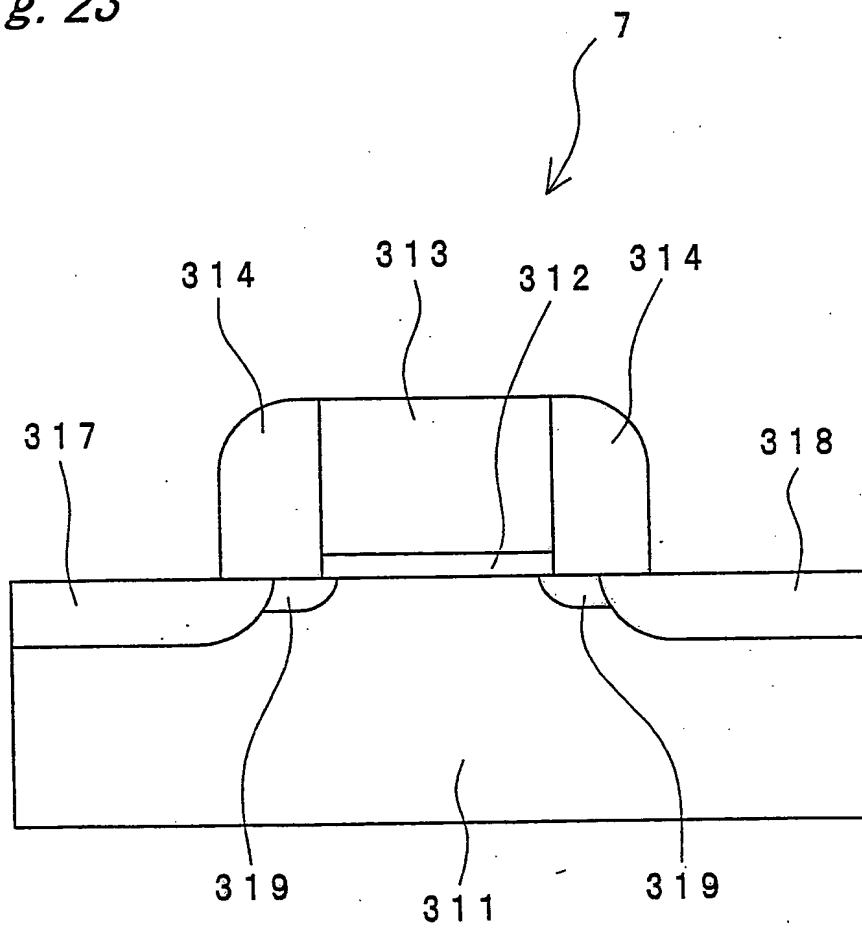
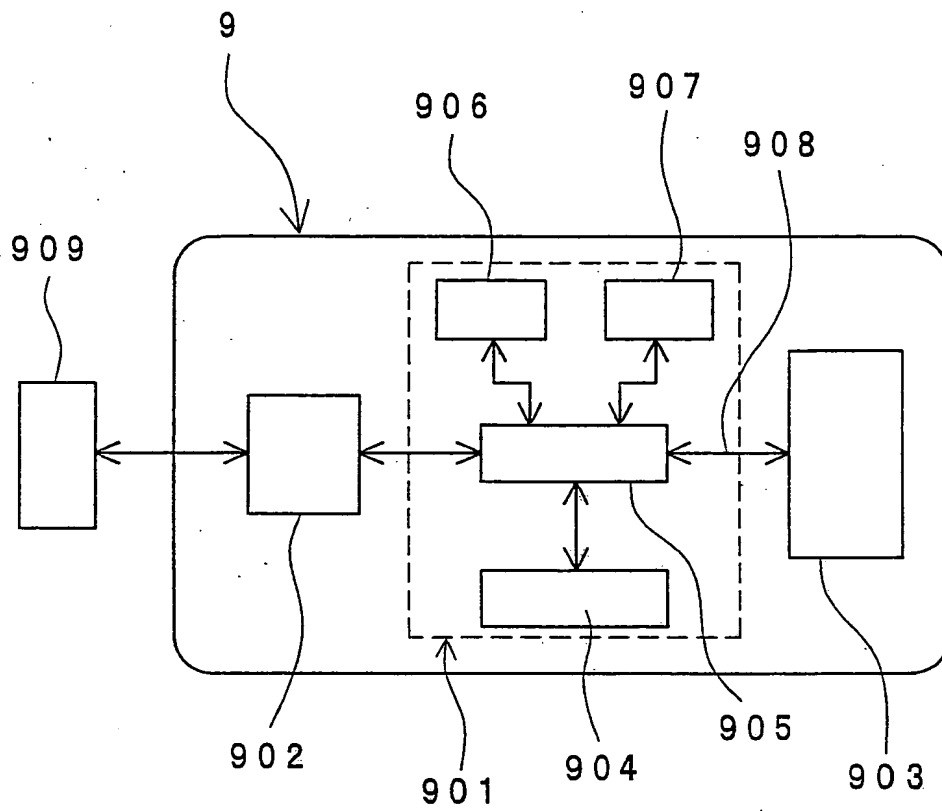
Fig. 23

Fig. 24

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.